

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-286413

(P2000-286413A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	29/778	H 0 1 L	29/80
	21/338		29/163
	29/812		29/78
	29/161		3 0 1 B
	29/78		

審査請求 有 請求項の数72 O L (全 22 頁)

(21) 出願番号 特願2000-65262 (P2000-65262)
(22) 出願日 平成12年3月9日 (2000. 3. 9)
(31) 優先権主張番号 0 9 / 2 6 7 3 2 3
(32) 優先日 平成11年3月12日 (1999. 3. 12)
(33) 優先権主張国 米国 (US)

(71) 出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(74) 代理人 100086243
弁理士 坂口 博 (外1名)

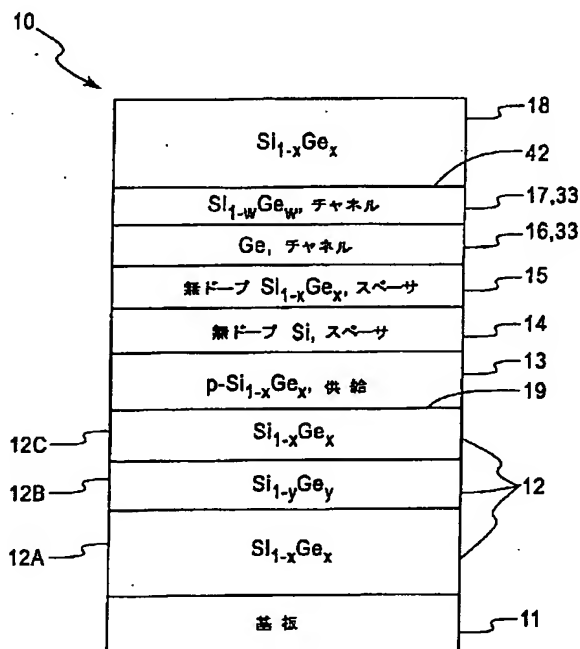
最終頁に続く

(54) 【発明の名称】 電界効果デバイス用高速複合pチャネルSi/SiGeヘテロ構造

(57) 【要約】

【課題】 極めて高い正孔移動度を有する、pチャネル電界効果トランジスタを形成する方法および積層ヘテロ構造を提供する。

【解決手段】 この構造では、半導体基板上に複数の半導体層が組み込まれ、第1のエピタキシャルGe層および第2の圧縮ひずみSiGe層から成る複合チャネル構造が、高い障壁または深い閉込め量子井戸を有する。本発明は、単一の圧縮ひずみSiGeチャネル層のみを用いて、pチャネル・デバイスの正孔移動度が限定されているという問題を克服する。



【特許請求の範囲】

【請求項1】 pチャネル電界効果トランジスタを形成する積層構造において、

単結晶基板、

前記基板上にエピタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、

前記第1の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第2の層、

前記第2の層の上にエピタキシャル形成された無ドーブのSiの第3の層、

前記第3の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第4の層、

前記第4の層の上にエピタキシャル形成され、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第5の層、

前記第5の層の上にエピタキシャル形成され、Ge分率wが0.5~<1.0、w-x>0.2であり、これによって圧縮ひずみ加わったSi_{1-x}Ge_xの第6の層、および前記第6の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第7の層を含む積層構造。

【請求項2】 前記第1の層のひずみ軽減構造中に、y=x+zで、zが0.01~0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層をさらに含む、請求項1に記載の積層構造。

【請求項3】 活性デバイス領域が、前記第5の層のエピタキシャルGeチャネルと前記第6の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、請求項1に記載の積層構造。

【請求項4】 前記第5の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項1に記載の積層構造。

【請求項5】 前記第6の層中のGe含量wが、前記第5の層の近くの相対的に高いGe含量から、前記第6の層の上面に向かって次第に低下する、請求項1に記載の積層構造。

【請求項6】 スペーサ領域が、ひずみSiの前記第3の層および緩和Si_{1-x}Ge_xの前記第4の層を含む、請求項1に記載の積層構造。

【請求項7】 前記第3の層に引張ひずみ加わり、前記第3の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、請求項1に記載の積層構造。

【請求項8】 前記第2の層が、前記第5および第6の層から成るチャネル領域の下に形成され、Siの前記第3の層およびSi_{1-x}Ge_xの前記第4の層によって前記チャネル領域から分離されたp形ドーブSi_{1-x}Ge_x層で

あり、前記第2の層の厚さが1~20nm、好ましくは4~5nmであり、前記第2の層の電氣的に活性なドーブのドーズ量が1~3×10¹²cm⁻²である、請求項1に記載の積層構造。

【請求項9】 pチャネル電界効果トランジスタを形成する積層構造において、

単結晶基板、

前記基板上にエピタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、

前記第1の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第2の層、

前記第2の層の上にエピタキシャル形成された無ドーブのSiの第3の層、

前記第3の層の上にエピタキシャル形成され、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第4の層、

前記第4の層の上にエピタキシャル形成され、Ge分率wが0.5~<1.0、w-x>0.2であり、これによって圧縮ひずみ加わったSi_{1-x}Ge_xの第5の層、および前記第5の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第6の層を含む積層構造。

【請求項10】 前記第1の層のひずみ軽減構造中に、y=x+zで、zが0.01~0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層をさらに含む、請求項9に記載の積層構造。

【請求項11】 活性デバイス領域が、前記第4の層のエピタキシャルGeチャネルと前記第5の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、請求項9に記載の積層構造。

【請求項12】 前記第4の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項9に記載の積層構造。

【請求項13】 前記第5の層中のGe含量wが、前記第4の層の近くの相対的に高いGe含量から、前記第5の層の上面に向かって次第に低下する、請求項9に記載の積層構造。

【請求項14】 スペーサ領域が、ひずみSiの前記第3の層から成る単層構造である、請求項9に記載の積層構造。

【請求項15】 前記第3の層に引張ひずみ加わり、前記第3の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、請求項9に記載の積層構造。

【請求項16】 前記Siの第3の層を、厚さが調整可能

10

20

30

40

50

で、それに応じてスペーサの厚さを変化させることができる緩和 $Si_{1-x}Ge_x$ 層で置き換えることができ、それによって供給ドーズ量を、デバイスの用途に応じ、0.4~425 Kの範囲の温度の関数として最適化することができる、請求項9に記載の積層構造。

【請求項17】前記第2の層が、前記第4および第5の層から成るチャネル領域の下に形成され、 Si の前記第3の層によって前記チャネル領域から分離されたp形ドーブ $Si_{1-x}Ge_x$ 層である、請求項9に記載の積層構造。

【請求項18】前記第2の層の前記供給層が、前記第4および第5の層から成るチャネル領域の下に形成され、前記緩和 $Si_{1-x}Ge_x$ 層によって前記チャネル領域から分離される、請求項16に記載の積層構造。

【請求項19】pチャネル電界効果トランジスタを形成する積層構造において、

単結晶基板、

前記基板上にエピタキシャル形成された、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層、

前記第1の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層、

前記第2の層の上にエピタキシャル形成され、Ge分率 w が0.5~<1.0、 $w-x>0.2$ であり、これによって圧縮ひずみが加わった $Si_{1-w}Ge_w$ の第3の層、前記第3の層の上にエピタキシャル形成された無ドーブの $Si_{1-x}Ge_x$ の第4の層、

前記第4の層の上にエピタキシャル形成された無ドーブの Si の第5の層、および前記第5の層の上にエピタキシャル形成されたp型ドーブの $Si_{1-x}Ge_x$ の第6の層、

を含む積層構造。

【請求項20】前記第1の層のひずみ軽減構造中に、 $y=x+z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-y}Ge_y$ のオーバーシュート層をさらに含む、請求項19に記載の積層構造。

【請求項21】活性デバイス領域が、前記第2の層のエピタキシャルGeチャネルと前記第3の層のエピタキシャル $Si_{1-w}Ge_w$ チャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、請求項19に記載の積層構造。

【請求項22】前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項19に記載の積層構造。

【請求項23】前記第3の層中のGe含量 w が、前記第2の層の近くの相対的に高いGe含量から、前記第3の

層の上面に向かって次第に低下する、請求項19に記載の積層構造。

【請求項24】スペーサ領域が、ひずみ Si の前記第5の層および緩和 $Si_{1-x}Ge_x$ の前記第4の層を含む複合積層構造である、請求項19に記載の積層構造。

【請求項25】前記第5の層に引張りひずみが加わり、前記第5の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、請求項19に記載の積層構造。

10 【請求項26】前記供給層が、前記第2および第3の層から成るチャネル領域の上に形成され、 Si の前記第5の層および $Si_{1-x}Ge_x$ の前記第4の層から成る複合スペーサ構造によって前記チャネル領域から分離されたp形ドーブ $Si_{1-x}Ge_x$ 層である、請求項19に記載の積層構造。

【請求項27】pチャネル電界効果トランジスタを形成する積層構造において、

単結晶基板、

前記基板上にエピタキシャル形成された、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層、

20 前記第1の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層、

前記第2の層の上にエピタキシャル形成され、Ge分率 w が0.5~<1.0、 $w-x>0.2$ であり、これによって圧縮ひずみが加わった $Si_{1-w}Ge_w$ の第3の層、前記第3の層の上にエピタキシャル形成された無ドーブの $Si_{1-x}Ge_x$ の第4の層、

30 前記第4の層の上にエピタキシャル形成されたp型ドーブの $Si_{1-x}Ge_x$ の第5の層、を含む積層構造。

【請求項28】前記第1の層のひずみ軽減構造中に、 $y=x+z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-y}Ge_y$ のオーバーシュート層をさらに含む、請求項27に記載の積層構造。

【請求項29】活性デバイス領域が、前記第2の層のエピタキシャルGeチャネルと前記第3の層のエピタキシャル $Si_{1-w}Ge_w$ チャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、請求項27に記載の積層構造。

【請求項30】前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項27に記載の積層構造。

【請求項31】前記第3の層中のGe含量 w が、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下する、請求項27に記載

の積層構造。

【請求項32】スペース領域が、前記第4の層の緩和 $Si_{1-x}Ge_x$ 層から成る単層構造である、請求項27に記載の積層構造。

【請求項33】前記 $Si_{1-x}Ge_x$ の第4の層を、同等の薄いひずみ Si 層で置き換えることができ、これによってMODFETデバイスのスペースを薄くすることができる、請求項27に記載の積層構造。

【請求項34】前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、 $Si_{1-x}Ge_x$ の前記第4の層によって前記チャネル領域から分離されたp形ドープ $Si_{1-x}Ge_x$ 層である、請求項27に記載の積層構造。

【請求項35】前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、同等の薄いひずみ Si 層によって前記チャネル領域から分離されたp形ドープ $Si_{1-x}Ge_x$ 層である、請求項33に記載の積層構造。

【請求項36】請求項1に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第7ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第7の層の上に形成されたショットキー・ゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項37】請求項9に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたショットキー・ゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項38】請求項1に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第7ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第7の層の上に形成されたゲート誘電体、前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項39】請求項9に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたゲート誘電体、

前記ゲート誘電体上のゲート電極、

前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項40】請求項19に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたゲート誘電体、

前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項41】請求項27に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第5ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第5の層の上に形成されたゲート誘電体、

前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

【請求項42】その上に電気デバイスを形成する積層構造において、単結晶基板、

前記基板上にエピタキシャル形成された、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層、前記第1の層のひずみ軽減構造中であって、 $y = x + z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層の上部に対するこの層の限界厚さよりも薄い $Si_{1-y}Ge_y$ のオーバシュート層、および前記第1の層の上にエピタキシャル形成された $Si_{1-x}Ge_x$ の第2の層を含む積層構造。

【請求項43】単結晶基板を選択する段階、前記基板上に、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層をエピタキシャル形成する段階、前記第1の層の上に、 $Si_{1-x}Ge_x$ の第2の層をエピタキシャル形成する段階、

前記第2の層の上に、エピタキシャル形成された無ドープの Si の第3の層をエピタキシャル形成する段階、前記第3の層の上に、無ドープの $Si_{1-x}Ge_x$ の第4の層をエピタキシャル形成する段階、

前記第4の層の上に、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第5の層をエピタキシャル形成する段階、

前記第5の層の上に、Ge分率 w が0.5~<1.0、 $w - x > 0.2$ であり、これによって圧縮ひずみが加わった $Si_{1-w}Ge_w$ の第6の層をエピタキシャル形成する段階、および前記第6の層の上に、 $Si_{1-x}Ge_x$ の第7の層をエピタキシャル形成する段階を含むpチャネル電

界効果トランジスタの形成方法。

【請求項44】前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-x}Ge_x$ のオーバシュート層を形成する段階をさらに含む、請求項43に記載の方法。

【請求項45】前記第5の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項43に記載の方法。

【請求項46】第6の層を形成する前記段階が、前記第6の層中のGe含量 w を、前記第5の層の近くの相対的に高いGe含量から、前記第6の層の上面に向かって次第に低下させる段階を含む、請求項43に記載の方法。

【請求項47】前記第2の層が、前記第5および第6の層から成るチャネル領域の下に形成され、 Si の前記第3の層および $Si_{1-x}Ge_x$ の前記第4の層によって前記チャネル領域から分離されたp形ドープ $Si_{1-x}Ge_x$ 層であり、前記第2の層の厚さが1~20nm、好ましくは4~5nmであり、前記第2の層の電気的に活性なドナーのドーピング量が $1 \sim 3 \times 10^{11} \text{ cm}^{-2}$ である、請求項43に記載の方法。

【請求項48】単結晶基板を選択する段階、前記基板上に、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層をエピタキシャル形成する段階、前記第1の層の上に、 $Si_{1-x}Ge_x$ の第2の層をエピタキシャル形成する段階、前記第2の層の上に、無ドーブの Si の第3の層をエピタキシャル形成する段階、前記第3の層の上に、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第4の層をエピタキシャル形成する段階、前記第4の層の上に、Ge分率 w が0.5~<1.0、 $w-x > 0.2$ であり、これによって圧縮ひずみ加わった $Si_{1-x}Ge_x$ の第5の層をエピタキシャル形成する段階、および前記第5の層の上に、 $Si_{1-x}Ge_x$ の第6の層をエピタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

【請求項49】前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-x}Ge_x$ のオーバシュート層を形成する段階をさらに含む、請求項48に記載の方法。

【請求項50】前記第4の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項48に記載の方法。

【請求項51】第5の層を形成する前記段階が、前記第5の層中のGe含量 w を、前記第4の層の近くの相対的

に高いGe含量から、前記第5の層の上面に向かって次第に低下させる段階を含む、請求項48に記載の方法。

【請求項52】前記 Si の第3の層を、厚さが調整可能で、それに応じてスペーサの厚さを変化させることができる緩和 $Si_{1-x}Ge_x$ 層で置き換えることができ、それによって供給ドーピング量を、デバイスの用途に応じ、0.4~425Kの範囲の温度の関数として最適化することができる、請求項48に記載の方法。

【請求項53】前記第2の層が、前記第4および第5の層から成るチャネル領域の下に形成され、 Si の前記第3の層によって前記チャネル領域から分離されたp形ドープ $Si_{1-x}Ge_x$ 層である、請求項48に記載の方法。

【請求項54】前記第2の層の前記供給層が、前記第4および第5の層から成るチャネル領域の下に形成され、前記緩和 $Si_{1-x}Ge_x$ 層によって前記チャネル領域から分離される、請求項52に記載の方法。

【請求項55】単結晶基板を選択する段階、前記基板上に、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層をエピタキシャル形成する段階、前記第1の層の上に、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層をエピタキシャル形成する段階、前記第2の層の上に、Ge分率 w が0.5~<1.0、 $w-x > 0.2$ であり、これによって圧縮ひずみ加わった $Si_{1-x}Ge_x$ の第3の層をエピタキシャル形成する段階、前記第3の層の上に、無ドーブの $Si_{1-x}Ge_x$ の第4の層をエピタキシャル形成する段階、前記第4の層の上に、無ドーブの Si の第5の層をエピタキシャル形成する段階、および前記第5の層の上に、p型ドープの $Si_{1-x}Ge_x$ の第6の層をエピタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

【請求項56】前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-x}Ge_x$ のオーバシュート層を形成する段階をさらに含む、請求項55に記載の方法。

【請求項57】前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項55に記載の方法。

【請求項58】第3の層を形成する前記段階が、前記第3の層中のGe含量 w を、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下させる段階を含む、請求項55に記載の方法。

【請求項59】前記第6の層のp形ドープ $Si_{1-x}Ge_x$ 層の前記供給層が、前記第2および第3の層から成るチャネル領域の上に形成され、 Si の前記第5の層および $Si_{1-x}Ge_x$ の前記第4の層から成る複合スペーサ構造

によって前記チャネル領域から分離される、請求項55に記載の方法。

【請求項60】単結晶基板を選択する段階、前記基板上に、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層をエピタキシャル形成する段階、前記第1の層の上に、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層をエピタキシャル形成する段階、前記第2の層の上に、Ge分率 w が0.5~<1.0、 $w-x>0.2$ であり、これによって圧縮ひずみが加わった $Si_{1-x}Ge_x$ の第3の層をエピタキシャル形成する段階、前記第3の層の上に、無ドーブの $Si_{1-x}Ge_x$ の第4の層をエピタキシャル形成する段階、前記第4の層の上に、p型ドーブの $Si_{1-x}Ge_x$ の第5の層をエピタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

【請求項61】前記第1の層のひずみ軽減構造中に、 $y=x+z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄い $Si_{1-y}Ge_y$ のオーバシュート層を形成する段階をさらに含む、請求項60に記載の方法。

【請求項62】前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、請求項60に記載の方法。

【請求項63】第3の層を形成する前記段階が、前記第3の層中のGe含量 w を、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下させる段階を含む、請求項60に記載の方法。

【請求項64】前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、 $Si_{1-x}Ge_x$ の前記第4の層によって前記チャネル領域から分離されたp形ドーブ $Si_{1-x}Ge_x$ 層である、請求項60に記載の方法。

【請求項65】前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、同等の薄いひずみ Si 層によって前記チャネル領域から分離されたp形ドーブ $Si_{1-x}Ge_x$ 層である、請求項60に記載の方法。

【請求項66】請求項43に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第7ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第7の層の上にショットキー・ゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項67】請求項48に記載の方法から成る、電界

効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にショットキー・ゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項68】請求項43に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第7ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第7の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項69】請求項48に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項70】請求項55に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項71】請求項60に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第5ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第5の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

【請求項72】単結晶基板を形成する段階、前記基板上に、Ge分率 x が0.35~0.5の緩和 $Si_{1-x}Ge_x$ の第1の層をエピタキシャル形成する段階、前記第1の層のひずみ軽減構造中に、 $y=x+z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層の上部に対するこの層の限界厚さよりも薄い $Si_{1-y}G$

e_v のオーバシュート層を形成する段階、および前記第1の層の上に、 $Si_{1-x}Ge_x$ の第2の層を形成する段階を含む電気デバイスの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン/シリコン・ゲルマニウム・ベースの材料系に関し、詳細には、高速低雑音のマイクロ波、準ミリ波およびミリメートル波用途に応用可能な新規のエピタキシャル電界効果トランジスタ構造に関する。このエピタキシャル電界効果トランジスタ構造は、変調ドーブ・ヘテロ構造(modulation-doped heterostructure)を形成するシリコン層、ゲルマニウム層およびシリコン・ゲルマニウム層を組み込んだ好ましい高性能のひずみpチャネルを含む。

【0002】

【従来の技術】高速低雑音デバイス応用の分野では、キャリア(電子、正孔)伝導が無ドーブのチャネル層で起こり、そのため、不純物散乱によるキャリア移動度の制限がなく、高いキャリア移動度を得られる、高電子移動度トランジスタ(HEMT: high electron mobility transistor)または変調ドーブ電界効果トランジスタ(MODFET: modulation-doped field effect transistor)の設計/製作に関心が集まっている。一般に、これらの高速電子デバイスは、マイクロ波および無線周波帯で動作する低雑音増幅器、電力増幅器、人工衛星の受信器および送信器としてしばしば使用され、通常は、高速だが高価なIII-V族(例えばGaAs)材料系および技術が選択されている。複雑で高価なIII-V族材料技術が、半導体産業においてあまり望ましくないのに対して、より安価で、現在のSi技術との間に十分な互換性を有するSiGe材料系は望ましく、既存のSi-CMOSデバイス技術との統合ははるかに容易である。

【0003】Si技術と互換の材料系の一例が、1991年5月28日にP. M. ソロモン(Solomon)に発行され、本明細書の譲受人に譲渡された「Germanium Channel Silicon MOSFET」という名称の米国特許第5019882号に記載されている。米国特許第5019882号では、高キャリア移動度のチャネルが、シリコン基板上に成長させたシリコン/ゲルマニウム合金層を含む。この合金層は十分に薄く、仮像転位のない適当な成長が得られる。この合金層の上にシリコン層を形成し、これを部分的に酸化して、誘電層を形成する。この二酸化シリコン層の上にゲート領域を形成する。

【0004】Si技術と互換の高性能SiGeデバイス構造の第2の例が、1996年7月9日にK. E. イスマイル(Ismail)に発行され、本明細書の譲受人に譲渡された「Complementary Metal-Oxide Semiconductor Transistor Logic Using Strained Si/SiGe Heterostructure Layers」という名称の米国特許第5534713号

に記載されている。米国特許第5534713号には、Si/SiGeひずみヘテロ構造設計上に製作した、圧縮ひずみ加わり正孔移動度が強化された埋込みSiGeチャネルをpチャネル・デバイスに、引張ひずみ加わり電子移動度が強化された埋込みSiチャネルをnチャネル・デバイスに利用したシリコンCMOSTランジスタ構造が記載されている。第5534713号にはさらに、pチャネル電界効果トランジスタのpチャネルとして機能する提案の圧縮ひずみSiGe層は、ゲルマニウムの割合が50~100%であり、好ましくは80%であると記載されている。これまで、このチャネル設計および組成を利用したIBM社のSiGe pチャネルMODFETプロトタイプで得られた正孔移動度は、室温で最大1000 cm²/Vsに過ぎない。

【0005】

【発明が解決しようとする課題】したがって、1000 cm²/Vsを上回る高い正孔移動度を得る目的で、Ge層(厚さ15~20 Å)とGe70~80%のSiGe層(厚さ70~100 Å)とから成る複合または2層構造を有するpチャネル設計を、SiGe材料系でより高い正孔移動度を生み出す最適なpチャネル構造として提示する。

【0006】本発明の一目的は、SiGe層および実質的に純粋なGe層を含む複合または2層構造上に製作されたp型変調ドーブ電界効果トランジスタ(MODFET)を提供することにある。

【0007】本発明の一目的は、深さに対応した固有の組成プロファイルを有するチャネルを有するpチャネル電界効果トランジスタの形成を可能にする積層構造を提供することにある。

【0008】本発明の他の目的は、活性チャネルが、SiGe層と薄いGe層とから成る複合または2層構造であるpチャネル・デバイスを提供することにある。

【0009】本発明の他の目的は、複合チャネル構造が、単一のSiGe層を有するチャネルに比べてキャリア移動度が高く、正孔キャリアに対する障壁が高く、または閉込めチャネルが深いという利点を有する高い圧縮ひずみを利用するpチャネル・デバイスを提供することにある。

【0010】本発明の他の目的は、圧縮ひずみの加わったSiGe層とGe層から成り、pチャネル・デバイスのキャリア移動度を高める埋込み複合チャネルを提供することにある。

【0011】本発明の他の目的は、スペーサ層が、SiGe層と薄いSi層から成る複合または2層設計であるpチャネル・デバイスを提供することにある。

【0012】本発明の他の目的は、Ge組成が次第に増大するSiGeバッファ構造中に1つまたは複数のオーバシュート層を追加することによって、所望の緩和SiGe層を十分に緩和させることができる積層構造および

10

20

30

40

50

製造プロセスを提供することにある。

【0013】本発明の他の目的は、バルクSi pチャネルMOSFET、単一チャネルSiGe pチャネルMODFETなどの従来技術に比べて高い正孔移動度を有するpチャネルMODFETを提供することにある。

【0014】本発明の他の目的は、キャリア移動度が高いために、バルクSi pチャネルMOSFETまたは単一チャネルSiGe pチャネルMODFETに比べて高周波動作が強化されたpチャネルMODFETを提供することにある。

【0015】

【課題を解決するための手段】本発明に基づき、SiGe層と実質的に純粋なGe層から成る複合または2層構造をpチャネル領域に利用した、p型電界効果トランジスタ用のシリコン/シリコン・ゲルマニウム・ベースのエピタキシャル構造を記載する。この構造は、半導体基板、基板上にエピタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、第1の層の上にエピタキシャル形成された、p型ドーブSi_{1-x}Ge_xの第2の層、第2の層の上にエピタキシャル形成され、これによって引張りずみ加わり、第1の緩和Si_{1-x}Ge_x層の上面に対して同等である、無ドーブのSiの第3の層、第3の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第4の層、第4の層の上にエピタキシャル形成され、これによって圧縮ひずみ加わり、第1の緩和Si_{1-x}Ge_x層の上面に対して同等である、無ドーブのGeの第5の層、第5の層の上にエピタキシャル形成され、Ge分率wが0.5~<1.00、w-x>0.2であり、これによって圧縮ひずみ加えられた無ドーブのSi_{1-x}Ge_xの第6の層、ならびに第6の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第7の層を含む。ショットキー障壁を形成する単独の金属層、または誘電体/金属層を、第7の層の上に形成し、パターンニングして、pチャネル電界効果トランジスタのゲートを形成することができる。一方、ドレインおよびソース領域は、ゲートの両側の積層構造中にp型領域を形成することによって形成することができる。この積層構造設計は、変調ドーブ・ヘテロ構造を形成し、供給層またはp型ドーブSi_{1-x}Ge_xの第2の層が第5および第6の層から成る活性複合チャンネルの下に位置する。さらに、この積層デバイス構造では、活性チャンネルを供給層から分離するスペーサ層が、無ドーブのSiの第3の層および無ドーブのSi_{1-x}Ge_xの第4の層を含む2重層を使用する。

【0016】本発明はさらに、チャンネルの正孔移動度が向上したpチャネル電界効果トランジスタおよびその形成方法を提供する。このトランジスタは、半導体基板、基板上にエピタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、第1の層の上にエピタキシャル形成されたp型ドーブのSi_{1-x}Ge_xの第2の層、第2の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第3の層、第3の層の上にエピタキシャル形成され、これによって緩和Si_{1-x}Ge_xの第1の層の第4の層、第4の層の上にエピタキシャル形成され、Ge分率wが0.5~<1.00で、圧縮ひずみ加わった無ドーブのSi_{1-x}Ge_xの第5の層、ならびに第5の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第6の層を含む。この積層構造設計は、変調ドーブ・ヘテロ構造を記述し、供給層またはp型ドーブSi_{1-x}Ge_xの第2の層が、SiまたはSi_{1-x}Ge_xの第3の単一スペーサ層設計によって、第4および第5の層の活性複合チャンネルから分離される。

【0017】本発明はさらに、チャンネルの正孔移動度が向上したpチャネル電界効果トランジスタおよびその形成方法を提供する。このトランジスタは、半導体基板、基板上にエピタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、第1の層の上にエピタキシャル形成され、これによって緩和Si_{1-x}Ge_xの第1の層の上面に対して同等となった無ドーブのGeの第2の層、第2の層の上にエピタキシャル形成され、Ge分率wが0.5~<1.00で、圧縮ひずみ加わった無ドーブのSi_{1-x}Ge_xの第3の層、第3の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第4の層、ならびに第4の層の上にエピタキシャル形成されたp型ドーブのSi_{1-x}Ge_xの第5の層を含む。この積層構造設計は、変調ドーブ・ヘテロ構造を記述し、供給層またはp型ドーブSi_{1-x}Ge_xの第5の層が、第2および第3の層を含む活性複合チャンネルの上に位置する。同様に、供給層またはp型ドーブのSi_{1-x}Ge_xの第5の層をさらに、第3の層と第4の層の間、または第4の層と第5の層の間にSiスペーサ層を追加して、第2および第3の層から成る活性複合チャンネルの上に、これと分離して配置することができる。

【0018】本発明はさらに、緩和(90%超)Si_{1-x}Ge_xバッファ層の方法および構造を提供する。このバッファ層は、半導体基板、層のGe含量を、基板から始めて段階的に(または直線的に)増大させることによって段階的に(または直線的に)エピタキシャル形成された、xが0.1~0.9の部分緩和(50%未満)Si_{1-x}Ge_xの第1の層、第1の層の上にエピタキシャル形成され、第2の層を、xより大きな組成に対応した格子間隔を有する組成に過緩和する働きをする、y=x+zで、zが0.01~0.1のSi_{1-y}Ge_yの第2の層、ならびに第2の層の上にエピタキシャル形成され、これによってオリジナルの部分緩和Si_{1-x}Ge_xの第1の層に比べてさらに緩和されたSi_{1-y}Ge_yの第3の層を含む。この第2のSi_{1-y}Ge_yオーバーシュート層に起因する追加の緩和の程度は、この第2の層の厚さによって決まり、第2の層の厚さは、最初の部分緩和Si_{1-x}

Ge_xの第1の層に対するこの層の限界厚さによって限定される。

【0019】本発明はさらに、デバイスの伝導チャネルが、SiGe層および実質的に純粋なGe層を含む複合または2層構造から成る、先に述べた積層構造の1つの上に製作することができるp型電界効果トランジスタを提供する。電界効果トランジスタは、上部障壁層、伝導2層チャネル、無ドープのスペーサ領域およびp型ドレーン領域を選択的に除去することによって作り出された領域によって分離され、分離された活性デバイス領域内にのみ2次元チャネルが形成される。伝導ストライプから成るゲート電極を、ウェーハ表面の活性デバイス領域の上に直接に形成することができ、ソースおよびドレーン電極は、ゲート電極の両側の活性デバイス領域に2層チャネルに対するオーム接点を作成することによって形成することができる。

【0020】本発明の以上およびその他の特徴、目的および利点は、本発明の以下の詳細な説明を添付図面を参照して読むことによって明白となろう。

【0021】

【発明の実施の形態】図面を参照する。図1に、本発明の実施形態を示す、複合pチャネル変調ドープSiGeヘテロ構造の積層構造10の断面図を示す。層12ないし18は、Si、SiGe、Ge、SiC、GaAs、SOS、SOI、ボンド・アンド・エッチバック・シリコン・オン・インシュレータ(BESOI)などの単結晶半導体基板11の上に、超高真空化学蒸着(UHV-CVD: ultra high vacuum chemical vapor deposition)、分子線エピタキシ(MBE)、高速熱化学蒸着(RTCVD: rapid thermal chemical vapor deposition)などのエピタキシャル成長手法を使用してエピタキシャル成長させたものである。シリコン基板上にSiおよびSi_{1-x}Ge_xエピタキシャル膜を成長させるUHV-CVD方法については、参照によって本明細書に組み込まれる、B. S. マイヤーソン(Meyerson)の1994年3月29日発行の「Method and Apparatus for Low Temperature, Low Pressure Chemical Vapor Deposition of Epitaxial Silicon Layers」という名称の米国特許第5298452号を参照されたい。

【0022】好ましい積層構造20を図2に示す。図2は、図1に示した積層構造10の下部を示したものである。図2は、好ましいシリコン基板31の上に成長させた層12A、12B、12C、および13ないし18を含む、製作積層構造20の断面の透過電子顕微鏡(TEM)写真である。2次イオン質量分析法(SIMS)で測定した、図2のSiGe積層構造20の対応するGe組成プロファイルを図3に示す。図3の縦軸は原子パーセントで表したGe濃度を表し、横軸はミクロンで表したおおよその深さを表す。図3の曲線部分21'ないし27'、12B'および12C'は、図2に示した層21

ないし27、12Bおよび12CのGe濃度に対応する。

【0023】図4は、図3の上部のみの拡大図であり、デバイス領域のみが示されている。図4の右側の縦軸は原子パーセントで表したGe濃度を表し、横軸はオングストロームで表したおおよその深さを表す。曲線37は、おおよその深さに対するGe濃度を示す。図4の左側の縦軸は原子/ccで表したホウ素濃度を表し、曲線39はおおよその深さに対するホウ素濃度を示す。

【0024】図1および2で層12Aと記した、基板11、31の上面に形成された緩和Si_{1-x}Ge_x層の第1のエピタキシャル層は、Ge組成が段階的に変化した層21ないし27を含む積層構造から成る。層21ないし27は、バッファ層21ないし27のひずみ、または新たな転位を生成する機構である図2に示した修正フランク・リード源33を介してその下の基板11、31のひずみが軽減された図3に示す好ましいプロファイルを有する。フランク・リード源については、参照により本明細書に組み込まれる1997年8月19日発行のF. K. レゴス(Leques)およびB. S. マイヤーソン(Meyerson)の米国特許第5659187号に記載されている。

【0025】バッファ層12は、層12A、12Bおよび12Cを含み、最初は無ドープの緩和層で、層12と13の界面19で約30%~約50%、好ましくは約35%のGe組成を有する。

【0026】層12の実際的设计では、まずSi基板11、31の上に、Ge組成を次第に変化させたSi_{1-x}Ge_x層12Aを形成し、続いて層12Aの上に、y=x+z、zが0.01~0.1、好ましくは0.05のSi_{1-x}Ge_yのオーバシュート層12Bを形成し、最後に層12Bの上に、より緩和されたSi_{1-x}Ge_x'の層12Cを形成する。基本的にオーバシュート層12Bは、最上位のSi_{1-x}Ge_x'表面層12Cの界面19で高い緩和度、すなわち>90%の緩和度を保証する働きをする。十分に緩和されたSi_{0.95}Ge_{0.05}層12Cを達成する好ましいケースでは、図3の曲線部分21'~27'に対し、曲線部分12B'で示されるSi_{0.95}Ge_{0.05}のオーバシュート層12Bを使用することが望ましい。緩和Si_{1-x}Ge_x'層12Cでは、平面内(in-plane)格子定数a_{s,c}(x)が式(1)によって与えられる。

$$a_{s,c}(x) = a_{s,i} + (a_{c,e} - a_{s,i})x \quad (1)$$

上式で、xはGeの含有量、1-xはSiの含有量であり、a_{s,i}およびa_{c,e}はそれぞれ、SiおよびGeの格子定数に対応する。したがって、最上位のSi_{0.95}Ge_{0.05}表面層が>90%緩和される好ましいケースでは、層12Cが4.956Åを超える格子定数を有する。構造的に層12は、緩和層12Cの上面または界面19とその下のSi基板11、31の間の格子不整合に起因す

るひずみを緩和する働きをする。Geの格子間隔が単結晶Siのその1.04倍であるため、双方の間には4.2%の格子不整合が存在する。バッファ層12の厚さは、0.2~5 μm とすることができる。好ましい厚さは約2.5 μm である。Ge組成プロファイルは、段階的に(直線的に連続変化させるよりも好ましい)x=0からx=0.10~1.0まで、好ましくは図2の層21ないし27および図3の曲線部分21'ないし27'に示すように、層ごとに段階的に0.05Geずつ増大させてx=0.35まで増大させる。

【0027】十分に緩和されたSi_{0.65}Ge_{0.35}バッファを達成する層12の能力を評価するため、高解像度X線回折(XRD)を使用して、図2の製作サンプル構造の特性を評価した。(004)反射の観測スペクトルを、図5のX線ロッキング・カーブ62に示す。解析によれば、SiGeバッファ層12Cの上部、界面19での格子定数は、下のSi基板31に対して約95%のひずみ緩和を有するGe組成値x=0.35に対応している。図5の縦軸は任意の単位の強度を表し、横軸はブラッグ角を表す。曲線62の曲線部分63は、複合正孔チャンネル16および17の測定回折スペクトルを示す。曲線62の曲線部分64は、組成を段階的に変化した層12の測定回折スペクトルを示す。曲線62の曲線部分65は、オーバーシュート層12Bの測定回折スペクトルを示す。曲線62の曲線部分66は、基板11の測定回折スペクトルを示す。

【0028】シリコン膜および含シリコン膜、すなわちSi:B、Si:P、SiGe、SiGe:B、SiGe:P、SiGeC、SiGeC:B、SiGeC:Pを成長させる好ましい方法は、先に述べたマイヤーソンの米国特許第5298452号に記載のUHV-CVDプロセスである。上記シリコン膜および含シリコン膜の成長に適当なUHV-CVD反応装置は、ドイツのレイボルドーヘラエス社(Leybold-Heraeus Co.)、スウェーデンのエピグレス(Epigress)社、およびニューヨーク州ロンコンコマ(Ronkonkoma)のCVDイクイップメント社(CVD Equipment Corp.)から入手することができる。

【0029】複合pチャンネル変調ドープSiGeヘテロ構造の積層構造10では、まず、活性チャンネルの下ドナー層または供給層として機能するp型ドープの緩和SiGe層13を、図1に示すように層12Cの上に形成する。層13の厚さは1~20nm、好ましくは4~5nmであり、電気的に活性なドナーのドーザ量は、1~3 $\times 10^{11}\text{cm}^{-2}$ でなければならない。層13のp型ドープは、層13のエピタキシャル成長中にさまざまな流量のB₂H₆でドープすることによって、SiGe層13に組み込む。SiGe層13に対する好ましいホウ素ドーパント・プロファイルの一例を、ドーザ量を1.5 $\times 10^{11}$ ホウ素/ cm^2 とした図4に示す。p型ド

ープ層13の上に、無ドープのひずみSi層14をスペーサ層としてエピタキシャル成長させる。層14は、層13のドーパントを、その上に形成する活性チャンネル層16および17から分離する働きをする。層14の厚さは、緩和層12の界面19での格子間隔に対するシリコン層の限界厚さよりも薄くなければならない。層12の界面19が緩和Si_{0.65}Ge_{0.35}層である場合の層13の好ましい厚さは、1~2nmである。

【0030】次に、無ドープの薄い緩和SiGe層15を層14の上にエピタキシャル成長させる。層14と同様に層15は、層16および17の正孔移動度を高く維持するために、層16および17を含む上の複合チャンネル33から層13のドーパントをさらに分離するスペーサ層の働きをする。層15の厚さは0~10nm、好ましくは4~5nmである。pチャンネル電界効果トランジスタの複合pチャンネル33の第1の部分として機能する圧縮ひずみGe層16を層15の上にエピタキシャル成長させる。シリコン基板上にエピタキシャルGe膜を成長させるUHV-CVD法の詳細な説明については、参照によって本明細書に組み込まれる1993年11月9日発行の「Heteroepitaxial Growth of Germanium on Silicon by UHV/CVD」という名称のS. アクバル(Akbar)、J. O. チュー(Chu)、およびB. カニングハム(Cunningham)の米国特許第5259918号を参照されたい。層16が、複合pチャンネル33の有効な構成要素であるためには、このエピタキシャルGe層が、積層欠陥、層16と層17の界面での粗さの問題などの構造欠陥がないデバイス品質の層でなければならない。例えば、層12Cが界面19で緩和Si_{0.65}Ge_{0.35}層である好ましいケースでは、Ge層16の厚さが0~25オングストローム、好ましくは図6に示す20オングストロームである。Ge層16の厚さを20オングストロームに維持するためには、層12の界面19での格子間隔が、90%緩和Si_{0.65}Ge_{0.35}バッファの格子間隔と等しいか、または少なくともこれと同等であることが重要であることに留意されたい。これとは異なり、界面19のところで緩和度またはGe含量がこれよりも低く、格子間隔が短いバッファ層12の上に成長させた場合には、図7に示すようにGe層16に積層欠陥が生じる。

【0031】図6に、10' \sim 10 6 欠陥/ cm^2 の積層欠陥を有するGe層16を示す。Ge層16で生じた積層欠陥は、上方に拡大し、Si_{0.65}Ge_{0.35}層17に達する可能性がある。Si_{0.65}Ge_{0.35}層17の積層欠陥もまた10' \sim 10 6 欠陥/ cm^2 でなければならない。図6に、層17の上面、界面42での平滑さを示す。積層欠陥は、層12が界面19で90%緩和されていることによって10 6 欠陥/ cm^2 未満に低減されている。層緩和のパーセントは、先に述べたX線回折(XRD)などで格子定数を測定することによって求めることができる。

【0032】図7に、図6に類似の層12ないし18を

示す。しかし、図7の層12、特に界面19では、格子定数が90%未満の緩和に対応し、電子デバイスでは望ましくない 10^6 欠陥/cm²を超える、一般に $10^6 \sim 10^8$ 欠陥/cm²の積層欠陥が生じている。

【0033】層16の上には、pチャネル電界効果トランジスタの複合チャネル33の第2の部分として機能する圧縮ひずみSiGe層17をエピタキシャル成長させる。SiGe層17のGe組成は、厚さ40~100オングストロームに対して50%~<100%、好ましくは80%である。あるいは、SiGe層17のゲルマニウム含量を、例えば、Ge層16に近い、層の下部の0.95Geから、SiGe層17の上部の約0.50Geまで次第に低下させるなど、次第に低下させてもよい。

【0034】層17の上に、pチャネル33を表面から分離し、正孔キャリアを層16および17に閉じ込める働きをするSiGeキャップ層18を成長させる。好ましいGe組成は、12C層の界面19での組成と同じである。層17の厚さは2~20nm、好ましくは10~15nmである。層13、15および18のシリコン/*20

$$\Delta E_v = (0.74 - 0.53x')x \quad (\text{eV}) \quad (2)$$

上式で、 x' は、層12の緩和SiGeエピ層のGe含量、 x は、正孔チャネルのGe含量である。この式は、参照によって本明細書に組み込まれるR. ピーブル (People) およびJ. C. ビーン (Bean) の報文「Band alignments of coherently strained Ge_{1-x}Si_x/Si heterostructures on <001> Ge_{1-x}Si_x substrates」Appl. Phys. Lett. 48(8), pp538-540, 1986年2月24日に報告されている。詳細には、層17が、緩和Si_{0.95}Ge_{0.05}層12の上に形成されたSi_{0.95}Ge_{0.05}チャネルであるとき、その価電子帯の不連続(ΔE_v)は443meVであり、純粋なGeのチャネル層16の場合には、554meVというさらに大きな価電子帯オフセットが正孔または価電子帯に生じ、正孔の閉込めに対してより深い量子井戸、またはより有効な障壁が本質的に生み出される。SiGeまたはGe層の圧縮ひずみがさらに、価電子帯を重い正孔帯と軽い正孔帯に分割する働きをすることも重要である。これにより、より軽い正孔質量を有する上位価電子帯でのひずみチャネルに沿った正孔移送によって正孔移動度は向上し、後に述べるとおり、M. ロダー (Rodder) 他の報文「A 1.2V, 0.1μm Gate Length CMOS Technology: Design and Process Issues」, IEDM 98-623に報告されているように一般に約75cm²/VsであるSi pチャネル電界効果トランジスタ中での正孔移動度よりもかなり高くなる。その結果、層17が厚さ7~8nmのSi_{0.95}Ge_{0.05}チャネル、層16が厚さ1.5~2.0nmのGeチャネルである場合の複合チャネル構造の占有正孔帯における測定正孔移動度は、300Kで900~1400cm²/Vs、20Kで5000~10000cm²/Vsとな

*ゲルマニウム組成を同じにして、格子間隔が同じになるようにすることができる。層12Cが界面19で緩和Si_{0.95}Ge_{0.05}バッファ層と同等の格子間隔を有する場合、そのGe含量は20~50%、好ましくは35%である。

【0035】チャネル内への正孔の閉込めおよびその高い移動度は、層12の界面19の緩和バッファ層よりもGe含量が高い2つの層を有する複合チャネル構造での、純粋なGeの格子定数がSiよりも4.2%大きいことに起因した高い圧縮ひずみが原因である。層12の緩和SiGeバッファ層の上に形成されたSiGeまたはGeチャネル層に圧縮ひずみを生じさせ、これを高めることが構造的に可能なことによって、pチャネル層16および17の伝導および価電子帯をかなり変化させることができる。さらに、pチャネル変調ドープ・ヘテロ構造の設計に重要なパラメータは、式(2)によって与えられる、層12の緩和Si_{1-x}Ge_xエピ層に対するSi_{1-x}Ge_xまたはGe圧縮ひずみチャネル層の価電子帯オフセット(ΔE_v)である。

$$\Delta E_v = (0.74 - 0.53x')x \quad (\text{eV}) \quad (2)$$

る。

【0036】さらに、図8の曲線71に、適切に緩和されたSi_{0.95}Ge_{0.05}バッファ層12の上に成長させたSi_{0.95}Ge_{0.05}/Ge複合pチャネル33の温度に対する2次元正孔気体(2DHG: two-dimensional hole gas)の測定正孔移動度の振舞いを示す。比較として曲線72には、低Ge含量のSi_{0.95}Ge_{0.05}バッファ層の上に成長させた品質に劣る、または欠陥の多いSi_{0.95}Ge_{0.05}/Ge複合チャネル構造に関連した、劣等な移動度の振舞いを示す。この図は、組成プロファイル、緩和の程度および残存する積層欠陥および不整合転位などの層12の適当な設計に対して複合pチャネル33が影響を受けやすいことを示している。図8の縦軸は、cm²/Vsで表した正孔移動度 μ_h を表し、横軸は、Kで表した温度を表す。曲線72に示した移動度の振舞いが劣っているのは、複合pチャネル33を、Si_{0.95}Ge_{0.05}層12よりも緩和度の小さい、またはGe含量の低いエピタキシャル層の上に製作した場合にSi_{0.95}Ge_{0.05}/Ge複合pチャネル33に生じる図7に示すような積層欠陥の存在による。曲線71に示すSi_{0.95}Ge_{0.05}/Ge複合pチャネル33の測定移動度は、Si pチャネル電界効果トランジスタで見られるものよりも6~7倍高い。曲線71に示した複合pチャネル33の測定移動度は、図6に示したものと同様の欠陥密度を示し、一般に $10^4 \sim 10^6$ 欠陥/cm²である。曲線72に示した複合pチャネル33の測定移動度は、図7に示したものと同様の欠陥密度を示し、一般に $10^6 \sim 10^8$ 欠陥/cm²である。300Kにおける複合pチャネル33の移動度 μ_h は、面キャリア密度 1.4×10^{12} c

m^{-2} で $1360 \text{ cm}^2/\text{Vs}$ である。20 Kにおける複合pチャンネル33の移動度 μ_n は、面キャリア密度 $3.17 \times 10^{12} \text{ cm}^{-2}$ で $9800 \text{ cm}^2/\text{Vs}$ である。

【0037】図9に示す代替実施形態では、バッファ層12の上に層16および17を含むチャンネル43を、チャンネル43の上にSiGe層15を、層15の上にSi層14を、Si層14の上にp型ドープSi_{1-x}Ge_x供給層13を形成する。SiGe層13の上には、例えば二酸化シリコンなどの誘電層81を形成する。図9では、図1の装置に対応する機能に対して同じ参照符号を使用した。

【0038】図1では、pチャンネル33での正孔の閉込めおよびキャリア移動度を大幅に低下させることなく、いずれか一方のスペーサ層、例えばSiスペーサ層14またはSiGeスペーサ層15を、複合pチャンネル33積層構造10から構造的に省くことができる。

【0039】図9に示した変調ドープ・デバイス80の設計では、供給層13のイオン化された正孔ドナーからpチャンネル43の活性キャリアをさらに分離することによって、低温(<20 K)でのキャリア移送を最適化しようとする際、通常は、スペーサ層15、14のうちの厚いほうのスペーサがより望ましく、重要である。それにもかかわらず、室温での移送では、Siスペーサ層14とSiGeスペーサ層15のうちのいずれか一方のみが存在して、変調ドープ・デバイス80の複合チャンネル43を供給層13から分離するとき、観察される効果はあるとしても最小限でしかない。

【0040】図9に示すように供給層13が活性チャンネル43の上に位置する変調ドープ・デバイス80では、複合pチャンネル層が、薄いGe層16（界面19での限界厚さ約10~20 Åよりも薄い）とSiGe層17から成る。まず、Ge層16を12C層の上に形成し、界面19を形成する。層16および17は、電界効果トランジスタのチャンネル領域43として機能する。次に、SiGeスペーサ層15とSiスペーサ層14から成り、上の供給層13のドーパントを、層16および17から成る下の活性チャンネルから分離する働きをするスペーサ層をチャンネル層17の上に成長させる。スペーサ層14の上に、活性チャンネル層16および17の上のドナー層または供給層として機能するp型ドープのSiGe供給層13を形成する。層16、17、15、14および13のゲルマニウム組成および厚さは、SiGe供給層13がチャンネル33の下にある複合チャンネル積層構造10を示す図1の同じ参照符号の層と同じか、または同等とすることができる。

【0041】自己整合p型SiGe MODFETデバイスの平面図を図10に示す。図10の線12-12に沿った断面を図11に示す。自己整合MODFET設計は、ショットキー・ゲート・デバイス構造に関連したアクセス抵抗を最小化するのに好適で、このプロセスは通

常、ソース/ドレインのオーム金属被覆の前にゲート金属被覆のパターニングおよび蒸着を必要とする。T形のゲートを、ソースおよびドレインのオーム接点を蒸着する際に、ゲートの張出しが、ソースおよびドレインのオーム接点がショットキー・ゲートのフットプリントと短絡するのを防ぐマスクの働きのするように製作する。この基本プロセス体系は、参照により本明細書に組み込まれるM. アラファ (Arafa)、K. イスマイル (Isma'il)、J. O. チュー (Chu)、B. S. マイヤーソン (Meyerson) およびI. アデシーダ (Adesida) の報文「A 70-GHz ft low operating bias self-aligned p-type SiGe MODEFT」, IEEE Elec.Dev.Lett.vol.17(12), 1996年12月, pp.586-588に報告されている。図11に示すとおり、このデバイスは、図1に記載した積層構造から成り、図1の層に対応する層に対しては同じ参照符号を使用した。この積層構造設計は、変調ドープ・ヘテロ構造を示し、供給層の働きをするp型ドープ層13が、スペーサ層の働きをする無ドープ層14および15によって、伝導チャンネル領域の働きをする層16および17から分離されている。図11の電界効果トランジスタ100は、伝導複合チャンネル領域が活性デバイス領域105にだけ残るように層13、14、15、16、17および18を選択的に除去することによって作り出された分離領域104から成る。分離領域104は図10に示すように、活性チャンネル領域105の周囲を完全に囲んでいなければならない。次いで分離領域104を、エッチング後の分離領域104内にSiO₂などの絶縁材料106を付着させることによって不活性化する。ゲート構造は、下部が狭幅で上部が広幅のT形で、正孔に対するショットキー障壁が高く、抵抗率が低く、基板との反応に対する温度障壁が高い特性を有することが好ましい。このような特性は、マルチレベル・ゲート・スタックを利用することによって得ることができる。好ましい実施形態では、ゲート107が、バイレイヤまたはトリレイヤP (MMA-PMAA) レジスト系を使用した電子ビーム・リソグラフィによってパターニングされ、Ti/Mo/Pt/Auのリフトオフを使用して画定される。この場合、ゲート107は層18の上に形成され、下から上に向かって、Ti層108、Mo層109、Pt層110およびAu層111から構成される。このプロセスによって、ゲートのフットプリント112の寸法を0.1 μm未満とし、ソース-ゲート間およびドレイン-ゲート間の寸法を0.1 μm程度にまで小さくすることが可能である。ゲート107は、活性デバイス領域を両側の2つの別個の領域に完全に分割する狭幅のストライプを形成しなければならない。次いで、ソースおよびドレインの自己整合オーム接点113および114を、活性デバイス領域105の上に金属を蒸着させることによって形成する。このとき、ゲート107の張出し部分115が、ソースおよびドレイン接点113お

10

20

30

40

50

よび114がゲート107と短絡するのを防ぐシャドー・マスクの役目を果たすようにする。好ましい実施形態では、厚さ20~30nmのPtの薄い層を活性デバイス領域105の上に蒸着し、次いで $T=200\sim400$ ℃でケイ化して、低抵抗のソースおよびドレイン接点113および114を形成する。

【0042】複合pチャネル積層構造上の絶縁ゲート電界効果トランジスタの断面図を図12に示す。このデバイスは、図1に記載の積層構造から成り、図1の層に対応する層に対しては同じ参照符号を使用した。デバイスはさらに、SiGe層18の上に形成された絶縁層120から成る。好ましい実施形態では、層120がSiO₂またはSi₃N₄から構成される。このデバイスはさらに、図10に記載の方法と同様の方法で構成された分離領域121、ゲート122、ならびにソースおよびドレイン接点123および124から成る。好ましい実施形態では、ゲート122が絶縁層120の上に形成される。絶縁側壁領域121のパターニングの後、ゲート122をマスクとして、ソースおよびドレインの自己整合オーム接点123および124を形成する。

【0043】図13に、図10および図11に記載の複合pチャネル積層構造の上に製作した自己整合MODFET完成品の一部の走査顕微鏡写真を示す。この特定のデバイスのゲート・フットプリントは0.12μm、ソース・ゲート間の間隔は0.15μmである。

【0044】図14および15に、異なる2段階のバイアス電圧における自己整合複合pチャネルMODFETの高周波特性のグラフを示す。このデバイスは、図10および11に示した設計を利用したもので、ゲート・フットプリント長は0.09μm、ゲート幅は25μmであった。電気的結果は、最適バイアス条件下で周波数範囲5~40GHzでとったマイクロ波パラメータ・データから得た。開路パッド形状を測定し、次いで、総システム応答から実際のデバイス形状の応答を除くことによって、マイクロ波パッドの形状に由来する寄生要素の影響は除去されている。

【0045】図14は、ドレイン・ソース間のバイアス電圧 $V_{ds}=-0.6$ Vにおいて周波数 f に対してプロットした順電流利得 $|h_{21}|^2$ （データ点126）、および最大単方向利得（MUG）（データ点127）を示す。図15は、ドレイン・ソース間のバイアス電圧 $V_{ds}=-1.5$ Vにおいて周波数 f に対してプロットした順電流利得 $|h_{21}|^2$ （データ点128）、および最大単方向利得（MUG）（データ点129）を示す。単位電流利得遮断周波数 f_T は、 -20 dB/10進で $|h_{21}|^2$ を周波数に対して、 $|h_{21}|^2$ が単位になるまで外挿することによって得られる。 $V_{ds}=-0.6$ Vでの $|h_{21}|^2$ を表すデータ点126の周波数に対する外挿を、図14の実線で描かれた曲線130に示す。 $V_{ds}=-1.5$ Vでの $|h_{21}|^2$ を表すデータ点128の周波数

に対する外挿を、図15の実線で描かれた曲線131に示す。同様に、最高発振周波数 f_{max} は、 -20 dB/10進でMUGの高周波値を、MUGが単位になるまで外挿することによって得られる。 $V_{ds}=-0.6$ VでのMUGを表すデータ点127の周波数に対する外挿を、図14の曲線122に示す。 $V_{ds}=-1.5$ VでのMUGを表すデータ点129の周波数に対する外挿を、図15の曲線133に示す。この外挿から、 $V_{ds}=-0.6$ Vで $f_T=48$ GHz、 $f_{max}=108$ GHz、 $V_{ds}=-1.5$ Vで $f_T=46$ GHz、 $f_{max}=116$ GHzが得られる。発明者らの知る限りにおいて、これらの f_{max} 値は、p型電界効果トランジスタでこれまでに得られた最も高い値である。 f_{max} が、低バイアス電圧 $V_{ds}=-0.6$ Vで100GHzを超えることは特に印象的である。これらのデプレッション・モード電界効果トランジスタ・デバイスの記録的な高周波性能およびそれらが得られた低バイアス電圧は、高移動度複合チャネル積層構造ならびに図10および11に記載の自己整合T形ゲート・デバイス設計の直接的な結果である。

20 【0046】まとめとして、本発明の構成に関して以下の事項を開示する。

【0047】(1) pチャネル電界効果トランジスタを形成する積層構造において、単結晶基板、前記基板上にエピタキシャル形成された、Ge分率 x が0.35~0.5の緩衝Si_{1-x}Ge_xの第1の層、前記第1の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第2の層、前記第2の層の上にエピタキシャル形成された無ドーブのSiの第3の層、前記第3の層の上にエピタキシャル形成された無ドーブのSi_{1-x}Ge_xの第4の層、前記第4の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第5の層、前記第5の層の上にエピタキシャル形成され、Ge分率 w が0.5~<1.0、 $w-x>0.2$ であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第6の層、および前記第6の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第7の層を含む積層構造。

(2) 前記第1の層のひずみ軽減構造中に、 $y=x+z$ で、 z が0.01~0.1のGe分率 y を有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-x}Ge_yのオーバシュート層をさらに含む、上記(1)に記載の積層構造。

(3) 活性デバイス領域が、前記第5の層のエピタキシャルGeチャネルと前記第6の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、上記(1)に記載の積層構造。

50 (4) 前記第5の層が、界面の粗さの問題が生じるGe

膜の3次元成長が起らず、Ge膜の2次元成長が起る275～350℃の温度範囲で形成される、上記

(1)に記載の積層構造。

(5)前記第6の層中のGe含量wが、前記第5の層の近くの相対的に高いGe含量から、前記第6の層の上面に向かって次第に低下する、上記(1)に記載の積層構造。

(6)スペーサ領域が、ひずみSiの前記第3の層および緩和Si_{1-x}Ge_xの前記第4の層を含む、上記(1)に記載の積層構造。

(7)前記第3の層に引張ひずみが加わり、前記第3の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、上記(1)に記載の積層構造。

(8)前記第2の層が、前記第5および第6の層から成るチャネル領域の下に形成され、Siの前記第3の層およびSi_{1-x}Ge_xの前記第4の層によって前記チャネル領域から分離されたp形ドープSi_{1-x}Ge_x層であり、前記第2の層の厚さが1～20nm、好ましくは4～5nmであり、前記第2の層の電気的に活性なドナーのドー

ーズ量が $1 \sim 3 \times 10^{12} \text{ cm}^{-2}$ である、上記(1)に記載の積層構造。

(9)pチャネル電界効果トランジスタを形成する積層構造において、単結晶基板、前記基板上にエピタキシャル形成された、Ge分率xが0.35～0.5の緩和Si_{1-x}Ge_xの第1の層、前記第1の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第2の層、前記第2の層の上にエピタキシャル形成された無ドープのSiの第3の層、前記第3の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第4の層、前記第4の層の上にエピタキシャル形成され、Ge分率wが0.5～<1.0、w-x>0.2であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第5の層、および前記第5の層の上にエピタキシャル形成されたSi_{1-x}Ge_xの第6の層を含む積層構造。

(10)前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、zが0.01～0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層をさらに含む、上記(9)に記載の積層構造。

(11)活性デバイス領域が、前記第4の層のエピタキシャルGeチャネルと前記第5の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、上記(9)に記載の積層構造。

(12)前記第4の層が、界面の粗さの問題が生じるGe膜の3次元成長が起らず、Ge膜の2次元成長が起

る275～350℃の温度範囲で形成される、上記(9)に記載の積層構造。

(13)前記第5の層中のGe含量wが、前記第4の層の近くの相対的に高いGe含量から、前記第5の層の上面に向かって次第に低下する、上記(9)に記載の積層構造。

(14)スペーサ領域が、ひずみSiの前記第3の層から成る単層構造である、上記(9)に記載の積層構造。

(15)前記第3の層に引張ひずみが加わり、前記第3の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、上記(9)に記載の積層構造。

(16)前記Siの第3の層を、厚さが調整可能で、それに応じてスペーサの厚さを変化させることができる緩和Si_{1-x}Ge_x層で置き換えることができ、それによって供給ドーズ量を、デバイスの用途に応じ、0.4～425Kの範囲の温度の関数として最適化することができる、上記(9)に記載の積層構造。

(17)前記第2の層が、前記第4および第5の層から成るチャネル領域の下に形成され、Siの前記第3の層によって前記チャネル領域から分離されたp形ドープSi_{1-x}Ge_x層である、上記(9)に記載の積層構造。

(18)前記第2の層の前記供給層が、前記第4および第5の層から成るチャネル領域の下に形成され、前記緩和Si_{1-x}Ge_x層によって前記チャネル領域から分離される、上記(16)に記載の積層構造。

(19)pチャネル電界効果トランジスタを形成する積層構造において、単結晶基板、前記基板上にエピタキシャル形成された、Ge分率xが0.35～0.5の緩和Si_{1-x}Ge_xの第1の層、前記第1の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層、前記第2の層の上にエピタキシャル形成され、Ge分率wが0.5～<1.0、w-x>0.2であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第3の層、前記第3の層の上にエピタキシャル形成された無ドープのSi_{1-x}Ge_xの第4の層、前記第4の層の上にエピタキシャル形成された無ドープのSiの第5の層、および前記第5の層の上にエピタキシャル形成されたp型ドープのSi_{1-x}Ge_xの第6の層、を含む積層構造。

(20)前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、zが0.01～0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層をさらに含む、上記(19)に記載の積層構造。

(21)活性デバイス領域が、前記第2の層のエピタキシャルGeチャネルと前記第3の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深

い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、上記(19)に記載の積層構造。

(22) 前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275～350℃の温度範囲で形成される、上記(19)に記載の積層構造。

(23) 前記第3の層中のGe含量wが、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下する、上記(19)に記載の積層構造。

(24) スペーサ領域が、ひずみSiの前記第5の層および緩和Si_{1-x}Ge_xの前記第4の層を含む複合積層構造である、上記(19)に記載の積層構造。

(25) 前記第5の層に引張りひずみが加わり、前記第5の層が同等で、前記第1の層の前記第2の層との界面に対するこの層の限界厚さよりも薄い、上記(19)に記載の積層構造。

(26) 前記供給層が、前記第2および第3の層から成るチャネル領域の上に形成され、Siの前記第5の層およびSi_{1-x}Ge_xの前記第4の層から成る複合スペーサ構造によって前記チャネル領域から分離されたp形ドープSi_{1-x}Ge_x層である、上記(19)に記載の積層構造。

(27) pチャネル電界効果トランジスタを形成する積層構造において、単結晶基板、前記基板上にエピタキシャル形成された、Ge分率xが0.35～0.5の緩和Si_{1-x}Ge_xの第1の層、前記第1の層の上にエピタキシャル形成され、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層、前記第2の層の上にエピタキシャル形成され、Ge分率wが0.5～<1.0、w-x>0.2であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第3の層、前記第3の層の上にエピタキシャル形成された無ドープのSi_{1-x}Ge_xの第4の層、前記第4の層の上にエピタキシャル形成されたp型ドープのSi_{1-x}Ge_xの第5の層、を含む積層構造。

(28) 前記第1の層のひずみ軽減構造中に、y=x+zで、zが0.01～0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層をさらに含む、上記(27)に記載の積層構造。

(29) 活性デバイス領域が、前記第2の層のエピタキシャルGeチャネルと前記第3の層のエピタキシャルSi_{1-x}Ge_xチャネルとから成り、単層チャネル・デバイスと比べたときに、正孔をより良好に閉じ込めるより深い量子井戸またはより高い障壁を生み出す、より高い圧縮ひずみを有する埋込み複合チャネル構造である、上記(27)に記載の積層構造。

(30) 前記第2の層が、界面の粗さの問題が生じるG

e膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275～350℃の温度範囲で形成される、上記(27)に記載の積層構造。

(31) 前記第3の層中のGe含量wが、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下する、上記(27)に記載の積層構造。

(32) スペーサ領域が、前記第4の層の緩和Si_{1-x}Ge_x層から成る単層構造である、上記(27)に記載の積層構造。

(33) 前記Si_{1-x}Ge_xの第4の層を、同等の薄いひずみSi層で置き換えることができ、これによってMODFETデバイスのスペーサを薄くすることができる、上記(27)に記載の積層構造。

(34) 前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、Si_{1-x}Ge_xの前記第4の層によって前記チャネル領域から分離されたp形ドープSi_{1-x}Ge_x層である、上記(27)に記載の積層構造。

(35) 前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、同等の薄いひずみSi層によって前記チャネル領域から分離されたp形ドープSi_{1-x}Ge_x層である、上記(33)に記載の積層構造。

(36) 上記(1)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第7ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第7の層の上に形成されたショットキー・ゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(37) 上記(9)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたショットキー・ゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(38) 上記(1)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第7ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第7の層の上に形成されたゲート誘電体、前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(39) 上記(9)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし

第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたゲート誘電体、前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(40) 上記(19)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第6ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第6の層の上に形成されたゲート誘電体、前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(41) 上記(27)に記載の積層構造から成る電界効果トランジスタ構造において、少なくとも前記第5ないし第2の層を選択的に除去することによって生成された絶縁領域、前記第5の層の上に形成されたゲート誘電体、前記ゲート誘電体上のゲート電極、前記ゲート電極の一方の側に位置するソース電極、および前記ゲート電極のもう一方の側に位置するドレイン電極をさらに含む、電界効果トランジスタ構造。

(42) その上に電気デバイスを形成する積層構造において、単結晶基板、前記基板上にエビタキシャル形成された、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層、前記第1の層のひずみ軽減構造中において、 $y = x + z$ で、zが0.01~0.1のGe分率yを有し、前記第1の層の上部に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバーシュート層、および前記第1の層の上にエビタキシャル形成されたSi_{1-x}Ge_xの第2の層を含む積層構造。

(43) 単結晶基板を選択する段階、前記基板上に、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層をエビタキシャル形成する段階、前記第1の層の上に、Si_{1-x}Ge_xの第2の層をエビタキシャル形成する段階、前記第2の層の上に、エビタキシャル形成された無ドーブのSiの第3の層をエビタキシャル形成する段階、前記第3の層の上に、無ドーブのSi_{1-x}Ge_xの第4の層をエビタキシャル形成する段階、前記第4の層の上に、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第5の層をエビタキシャル形成する段階、前記第5の層の上に、Ge分率wが0.5~<1.0、 $w - x > 0.2$ であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第6の層をエビタキシャル形成する段階、および前記第6の層の上に、Si_{1-x}Ge_xの第7の層をエビタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

(44) 前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、zが0.01~0.1のGe分率yを有し、前記

第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバーシュート層を形成する段階をさらに含む、上記(43)に記載の方法。

(45) 前記第5の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、上記(43)に記載の方法。

(46) 第6の層を形成する前記段階が、前記第6の層中のGe含量wを、前記第5の層の近くの相対的に高いGe含量から、前記第6の層の上面に向かって次第に低下させる段階を含む、上記(43)に記載の方法。

(47) 前記第2の層が、前記第5および第6の層から成るチャネル領域の下に形成され、Siの前記第3の層およびSi_{1-x}Ge_xの前記第4の層によって前記チャネル領域から分離されたp形ドーブSi_{1-x}Ge_x層であり、前記第2の層の厚さが1~20nm、好ましくは4~5nmであり、前記第2の層の電氣的に活性なドナーのドーズ量が $1 \sim 3 \times 10^{12} \text{ cm}^{-2}$ である、上記(43)に記載の方法。

(48) 単結晶基板を選択する段階、前記基板上に、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層をエビタキシャル形成する段階、前記第1の層の上に、Si_{1-x}Ge_xの第2の層をエビタキシャル形成する段階、前記第2の層の上に、無ドーブのSiの第3の層をエビタキシャル形成する段階、前記第3の層の上に、これによって圧縮ひずみが加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第4の層をエビタキシャル形成する段階、前記第4の層の上に、Ge分率wが0.5~<1.0、 $w - x > 0.2$ であり、これによって圧縮ひずみが加わったSi_{1-x}Ge_xの第5の層をエビタキシャル形成する段階、および前記第5の層の上に、Si_{1-x}Ge_xの第6の層をエビタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

(49) 前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、zが0.01~0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバーシュート層を形成する段階をさらに含む、上記(48)に記載の方法。

(50) 前記第4の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275~350℃の温度範囲で形成される、上記(48)に記載の方法。

(51) 第5の層を形成する前記段階が、前記第5の層中のGe含量wを、前記第4の層の近くの相対的に高いGe含量から、前記第5の層の上面に向かって次第に低下させる段階を含む、上記(48)に記載の方法。

(52) 前記Siの第3の層を、厚さが調整可能で、それに応じてスペーサの厚さを変化させることができる緩和Si_{1-x}Ge_x層で置き換えることができ、それによ

て供給ドーズ量を、デバイスの用途に応じ、0.4～425 Kの範囲の温度の関数として最適化することができる、上記(48)に記載の方法。

(53) 前記第2の層が、前記第4および第5の層から成るチャネル領域の下に形成され、Siの前記第3の層によって前記チャネル領域から分離されたp形ドーブSi_{1-x}Ge_x層である、上記(48)に記載の方法。

(54) 前記第2の層の前記供給層が、前記第4および第5の層から成るチャネル領域の下に形成され、前記緩和Si_{1-x}Ge_x層によって前記チャネル領域から分離される、上記(52)に記載の方法。

(55) 単結晶基板を選択する段階、前記基板上に、Ge分率xが0.35～0.5の緩和Si_{1-x}Ge_xの第1の層をエピタキシャル形成する段階、前記第1の層の上に、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層をエピタキシャル形成する段階、前記第2の層の上に、Ge分率wが0.5～<1.0、w-x>0.2であり、これによって圧縮ひずみ加わったSi_{1-x}Ge_xの第3の層をエピタキシャル形成する段階、前記第3の層の上に、無ドーブのSi_{1-x}Ge_xの第4の層をエピタキシャル形成する段階、前記第4の層の上に、無ドーブのSiの第5の層をエピタキシャル形成する段階、および前記第5の層の上に、p型ドーブのSi_{1-x}Ge_xの第6の層をエピタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

(56) 前記第1の層のひずみ軽減構造中に、y=x+zで、zが0.01～0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層を形成する段階をさらに含む、上記(55)に記載の方法。

(57) 前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275～350℃の温度範囲で形成される、上記(55)に記載の方法。

(58) 第3の層を形成する前記段階が、前記第3の層中のGe含量wを、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下させる段階を含む、上記(55)に記載の方法。

(59) 前記第6の層のp形ドーブSi_{1-x}Ge_x層の前記供給層が、前記第2および第3の層から成るチャネル領域の上に形成され、Siの前記第5の層およびSi_{1-x}Ge_xの前記第4の層から成る複合スペーサ構造によって前記チャネル領域から分離される、上記(55)に記載の方法。

(60) 単結晶基板を選択する段階、前記基板上に、Ge分率xが0.35～0.5の緩和Si_{1-x}Ge_xの第1の層をエピタキシャル形成する段階、前記第1の層の上に、これによって圧縮ひずみ加わり、前記第1の層に対するこの層の限界厚さよりも薄いGeの第2の層をエ

ピタキシャル形成する段階、前記第2の層の上に、Ge分率wが0.5～<1.0、w-x>0.2であり、これによって圧縮ひずみ加わったSi_{1-x}Ge_xの第3の層をエピタキシャル形成する段階、前記第3の層の上に、無ドーブのSi_{1-x}Ge_xの第4の層をエピタキシャル形成する段階、前記第4の層の上に、p型ドーブのSi_{1-x}Ge_xの第5の層をエピタキシャル形成する段階を含むpチャネル電界効果トランジスタの形成方法。

(61) 前記第1の層のひずみ軽減構造中に、y=x+zで、zが0.01～0.1のGe分率yを有し、前記第1の層に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバシュート層を形成する段階をさらに含む、上記(60)に記載の方法。

(62) 前記第2の層が、界面の粗さの問題が生じるGe膜の3次元成長が起こらず、Ge膜の2次元成長が起こる275～350℃の温度範囲で形成される、上記(60)に記載の方法。

(63) 第3の層を形成する前記段階が、前記第3の層中のGe含量wを、前記第2の層の近くの相対的に高いGe含量から、前記第3の層の上面に向かって次第に低下させる段階を含む、上記(60)に記載の方法。

(64) 前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、Si_{1-x}Ge_xの前記第4の層によって前記チャネル領域から分離されたp形ドーブSi_{1-x}Ge_x層である、上記(60)に記載の方法。

(65) 前記第5の層が、前記第2および第3の層から成るチャネル領域の上に形成され、同等の薄いひずみSi層によって前記チャネル領域から分離されたp形ドーブSi_{1-x}Ge_x層である、上記(60)に記載の方法。

(66) 上記(43)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第7ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第7の層の上にショットキー・ゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(67) 上記(48)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にショットキー・ゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(68) 上記(43)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第7ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第7の層の上にゲート誘電

10

20

30

40

50

体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(69) 上記(48)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(70) 上記(55)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第6ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第6の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(71) 上記(60)に記載の方法から成る、電界効果トランジスタ構造の形成方法において、少なくとも前記第5ないし第2の層を選択的に除去することによって絶縁領域を形成する段階、前記第5の層の上にゲート誘電体を形成する段階、前記ゲート誘電体上にゲート電極を形成する段階、前記ゲート電極の一方の側にソース電極を形成する段階、および前記ゲート電極のもう一方の側にドレイン電極を形成する段階をさらに含む方法。

(72) 単結晶基板を形成する段階、前記基板上に、Ge分率xが0.35~0.5の緩和Si_{1-x}Ge_xの第1の層をエピタキシャル形成する段階、前記第1の層のひずみ軽減構造中に、 $y = x + z$ で、zが0.01~0.1のGe分率yを有し、前記第1の層の上部に対するこの層の限界厚さよりも薄いSi_{1-y}Ge_yのオーバーシュート層を形成する段階、および前記第1の層の上に、Si_{1-x}Ge_xの第2の層を形成する段階を含む電気デバイスの形成方法。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す積層構造の断面図である。

【図2】図1に示した本発明の実施形態の完成積層構造を示す製作サンプルの透過電子顕微鏡(TEM)断面写真である。

【図3】本発明の実施形態の好ましいGe組成積層構造を示す、図2に示した製作サンプル構造の深さに対するGe濃度を示す2次イオン質量分析(SIMS)のグラフである。

【図4】変調ドープ・デバイス領域のBおよびGe濃度を示す、図3の上部、深さ約1000ÅまでのSIMSの拡大図である。

【図5】図2に示した製作緩和積層構造からの(004)反射のX線ロックン・カーブである。

【図6】本発明の実施形態の複合pチャネル変調ドープ・デバイス構造を示す、図2に示した製作サンプル構造の上部デバイス領域の詳細なTEM断面写真である。

【図7】活性チャネルでの積層欠陥の存在を示す、図1の積層構造に比べて緩和の程度が小さいバッファ上に製作したデバイス構造のチャネル領域の詳細なTEM断面写真である。

10 【図8】図5に示した高品質pチャネル・デバイス構造と図6に示した積層欠陥を含む低品質pチャネル・デバイス構造の正孔移動度の振舞いを比較した、ホール(Hall)測定における温度(ケルビン(K))に対する正孔移動度の測定値を示したグラフである。

【図9】本発明の第2の実施形態を示す積層構造の断面図である。

【図10】電界効果トランジスタの平面図である。

【図11】図10の線12-12に沿ってとった、複合pチャネル積層構造を示す断面図である。

20 【図12】複合pチャネル積層構造上の絶縁ゲート電界効果トランジスタの断面図である。

【図13】図11および12に示した複合pチャネル積層構造上に製作された自己整合MODFET完成品の一部分の走査電子顕微鏡(SEM)写真である。

【図14】図13の一部を示したMODFETと同様の複合pチャネル積層構造を有する製作pチャネルMODFETの、 $V_{ds} = -0.6$ Vで測定した周波数に対する順方向電流利得および最大単方向利得のデータ点をプロットした図である。

30 【図15】図13の一部を示したMODFETと同様の複合pチャネル積層構造を有する製作pチャネルMODFETの、 $V_{ds} = -1.5$ Vで測定した周波数に対する順方向電流利得および最大単方向利得のデータ点をプロットした図である。

【符号の説明】

10 複合pチャネル変調ドープSiGeヘテロ構造の積層構造

11 単結晶半導体基板

12 バッファ層

40 12A Si_{1-x}Ge_x層

12B Si_{1-y}Ge_yオーバーシュート層

12C Si_{1-x}Ge_x層

13 p型ドープSiGe供給層

14 無ドープのSiスペーサ層

15 無ドープのSiGeスペーサ層

16 Geチャネル層

17 SiGeチャネル層

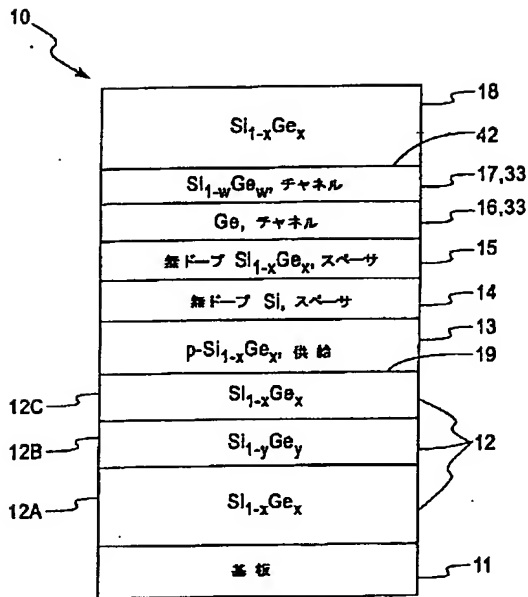
18 SiGeキャップ層

19 界面

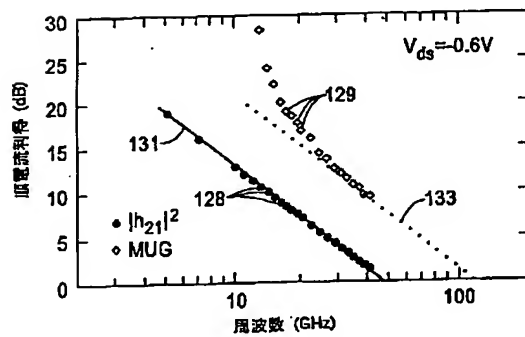
50 33 複合チャネル

- 42 界面
- 43 複合チャネル
- 81 誘電層
- 104 分離領域
- 105 活性デバイス領域
- 106 絶縁材料
- 107 ゲート
- 108 Ti層
- 109 Mo層
- 110 Pt層

【図1】

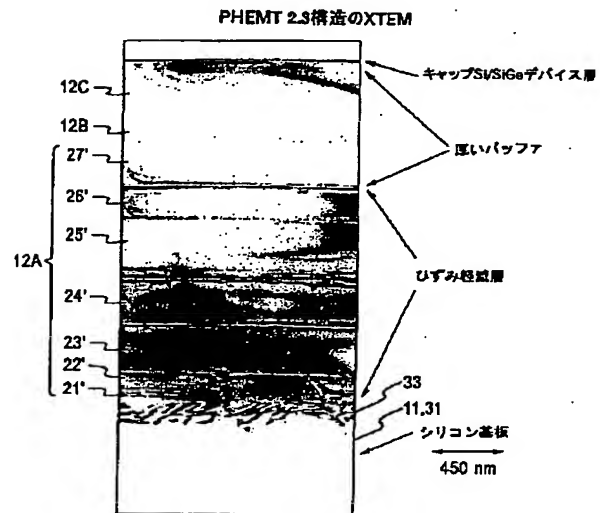


【図15】

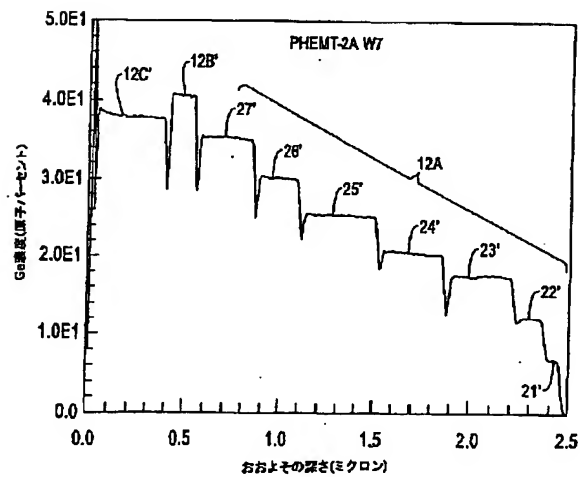


- *111 Au層
- 112 ゲートのフットプリント
- 113 ソース接点
- 114 ドレイン接点
- 115 ゲートの張出し部分
- 120 絶縁層
- 121 分離領域
- 122 ゲート
- 123 ソース接点
- *10 124 ドレイン接点

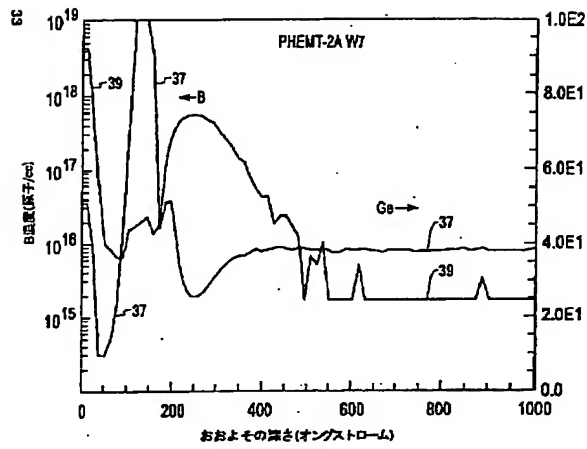
【図2】



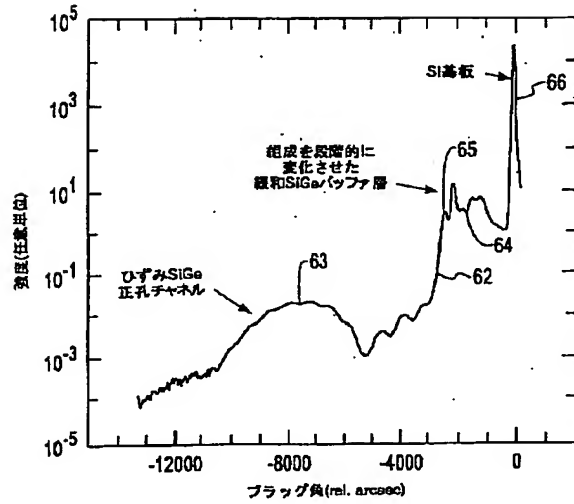
【図3】



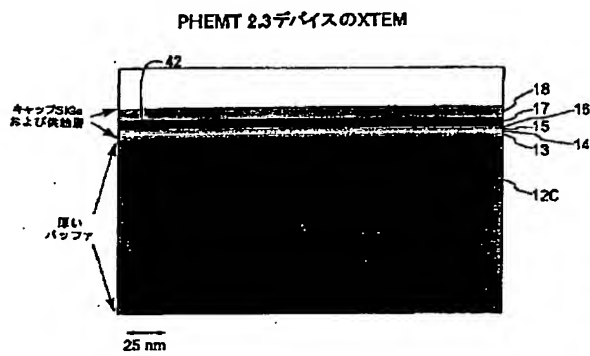
【図4】



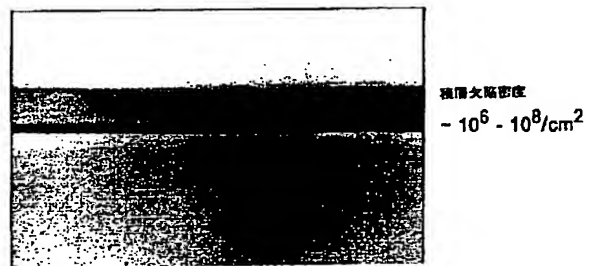
【図5】



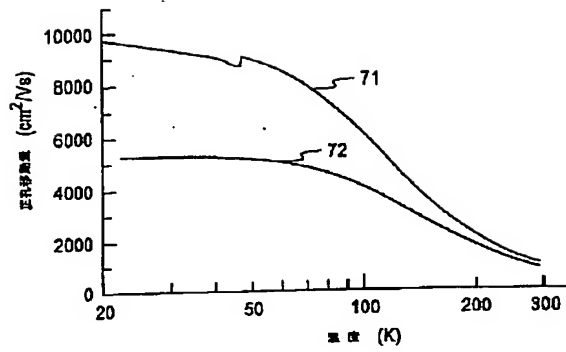
【図6】



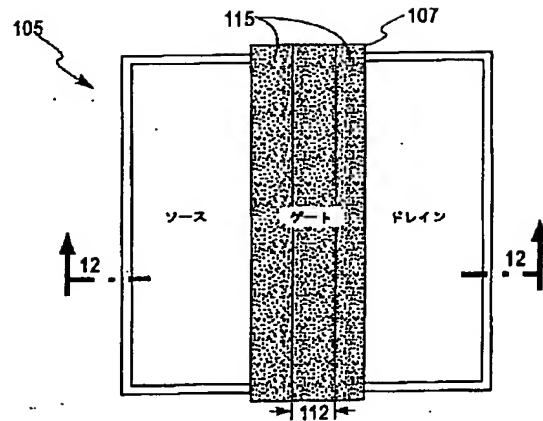
【図7】



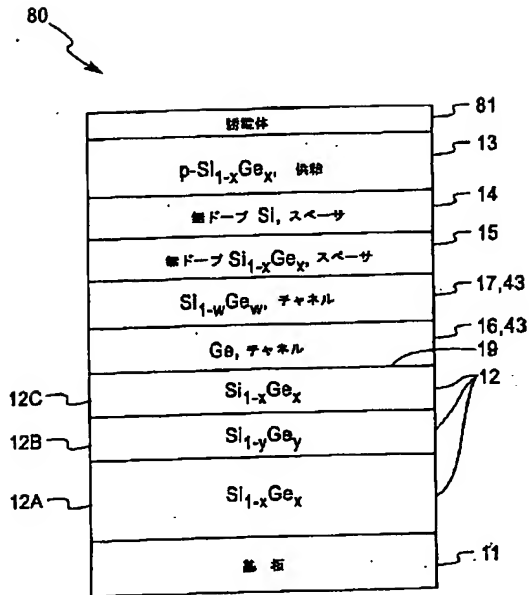
【図8】



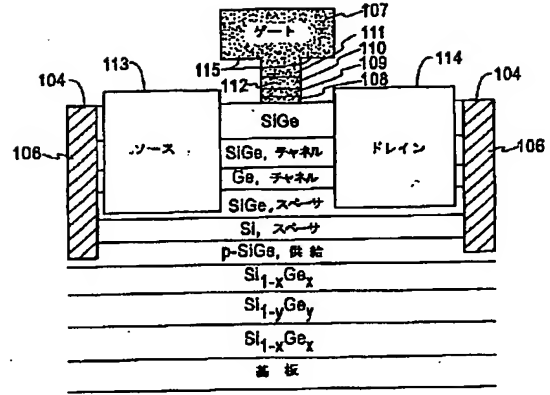
【図10】



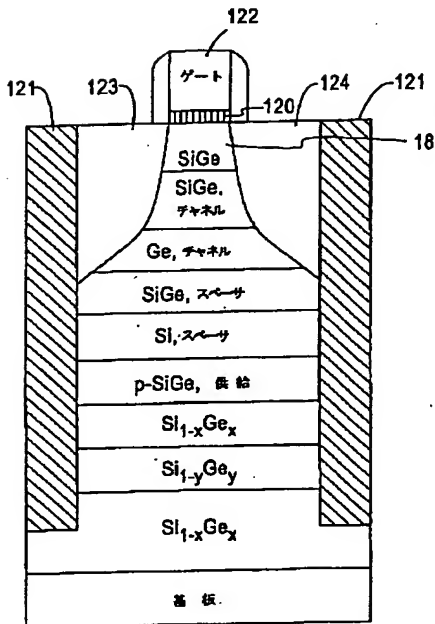
【図9】



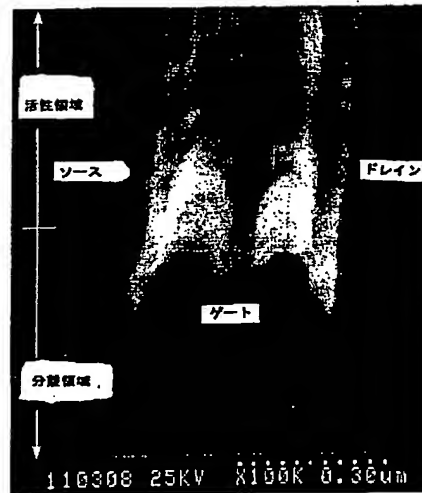
【図11】



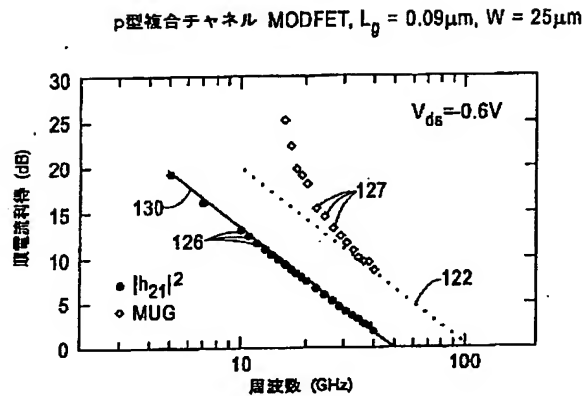
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 ジャック・オーン・チュー
 アメリカ合衆国11040 ニューヨーク州マ
 ンハセット・ヒルズ シェルボーン・レー
 ン44
 (72)発明者 リチャード・ハモンド
 アメリカ合衆国10522 ニューヨーク州ド
 ブス・フェリー メイン・ストリート17
 アpartment 5

(72)発明者 ハリード・エッセッディン・イスマイル
 アメリカ合衆国10598 ニューヨーク州ヨ
 ークタウン・ハイツ ドッグウッド・ドラ
 イブ1781
 (72)発明者 スチーブン・ジョン・ケスター
 アメリカ合衆国10562 ニューヨーク州オ
 シニング イロコイズ・ロード5
 (72)発明者 バトリシア・メイ・ムーニイ
 アメリカ合衆国10549 ニューヨーク州マ
 ウント・キスコ スタンウッド・ロード18
 (72)発明者 ジョン・エイ・オット
 アメリカ合衆国10925 ニューヨーク州グ
 リーンウッド・レーク リンデン・アベニ
 ュー37

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286413

(43)Date of publication of application : 13.10.2000

(51)Int.Cl. H01L 29/778
H01L 21/338
H01L 29/812
H01L 29/161
H01L 29/78

(21)Application number : 2000-065262 (71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 09.03.2000 (72)Inventor : CHU JACK OON
HAMMOND RICHARD
ISMAIL KHALID EZZELDIN
KOESTER STEVEN JOHN
MOONEY PATRICIA MAY
OTT JOHN A

(30)Priority

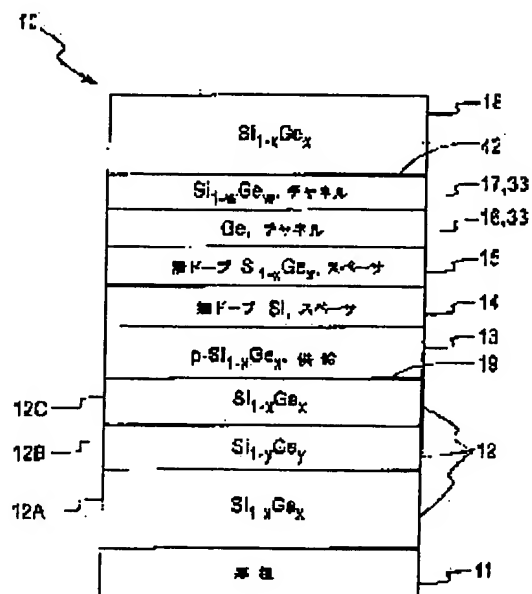
Priority number : 99 267323 Priority date : 12.03.1999 Priority country : US

(54) Si/SiGe HETEROSTRUCTURE FOR HIGH-SPEED COMPOSITE P-CHANNEL FIELD EFFECT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make applicable the structure of an epitaxial field effect transistor to the intended uses of high-speed low-noise microwave and quasi-millimetric-wave devices, etc., by integrating into the epitaxial field effect transistor a silicon layer, a germanium layer, and silicon-germanium layers which form jointly a modulatorily doped heterostructure.

SOLUTION: After forming on a single-crystal semiconductor substrate 11 a buffer layer 12 including a layer 12A, a layer 12B, and a layer 12C, a p-type doped relaxation silicon-germanium layer 13 is formed on the layer 12C of the buffer layer 12. Then, thereon, as a spacer, a non-doped strained silicon



layer 14 is grown epitaxially to grow further on the layer 14 epitaxially a non-doped thin relaxation silicon-germanium layer 15. Subsequently, on the layer 15, there are grown epitaxially in succession a germanium layer 16, a silicon-germanium layer 17, and a silicon-germanium cap layer 18 to form the laminated layer of them.

LEGAL STATUS

[Date of request for examination] 09.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3457614

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the laminated structure which forms a p channel field-effect transistor A single crystal substrate, The germanium molar fraction x by which epitaxial formation was carried out on said substrate The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5, The 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ by which epitaxial formation was carried out on said 1st layer, The 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], The 4th layer of $\text{Si}_{1-x}\text{Ge}_x$ which is not doped [by which epitaxial formation was carried out on said 3rd layer], On said 4th layer, epitaxial formation is carried out and a compressive strain is added by this. The 5th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 5th layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 6th layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, and the 7th layer of $\text{Si}_{1-x}\text{Ge}_x$ by which epitaxial formation was carried out on said 6th layer.

[Claim 2] The laminated structure according to claim 1 which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

[Claim 3] The laminated structure according to claim 1 which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 5th layer, and the epitaxial $\text{Si}_{1-w}\text{Ge}_w$ channel of said 6th layer and compares with a monolayer channel device of having a higher compressive strain.

[Claim 4] The laminated structure according to claim 1 formed in the temperature requirement said whose 5th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 5] The laminated structure according to claim 1 to which the germanium content w in said 6th layer falls gradually toward the top face of said 6th layer from high germanium content relatively near said 5th layer.

[Claim 6] The laminated structure according to claim 1 in which a spacer field contains said 3rd layer of strain Si, and said 4th layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 7] A laminated structure [the tensile strain joins said 3rd layer, equivalent said 3rd layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] according to claim 1.

[Claim 8] Said 2nd layer is formed in the bottom of the channel field which consists of said 5th and 6th layers. It is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer separated from said channel field by said 3rd layer of Si, and said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$. It is the laminated structure according to claim 1 whose dose of an activity donor 1-20nm of thickness of said 2nd layer is 4-5nm preferably, and is $1-3 \times 10^{12} \text{cm}^{-2}$ electrically [said 2nd layer].

[Claim 9] In the laminated structure which forms a p channel field-effect transistor A single crystal substrate, The germanium molar fraction x by which epitaxial formation was carried out on said substrate The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5, The 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ by which epitaxial formation was carried out on said 1st layer, The 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], On said 3rd layer, epitaxial formation

is carried out and a compressive strain is added by this. The 4th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 4th layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 5th layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, and the 6th layer of $\text{Si}_{1-x}\text{Ge}_x$ by which epitaxial formation was carried out on said 5th layer.

[Claim 10] The laminated structure according to claim 9 which z has the germanium molar fraction y of $0.01-0.1$, and contains further the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

[Claim 11] The laminated structure according to claim 9 which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 4th layer, and the epitaxial $\text{Si}_{1-w}\text{Ge}_w$ channel of said 5th layer and compares with a monolayer channel device of having a higher compressive strain.

[Claim 12] The laminated structure according to claim 9 formed in the temperature requirement said whose 4th layer is $275-350$ degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 13] The laminated structure according to claim 9 to which the germanium content w in said 5th layer falls gradually toward the top face of said 5th layer from high germanium content relatively near said 4th layer.

[Claim 14] The laminated structure according to claim 9 whose spacer field is the monolayer structure which consists of said 3rd layer of strain Si.

[Claim 15] A laminated structure [the tensile strain joins said 3rd layer, equivalent said 3rd layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] according to claim 9.

[Claim 16] The laminated structure according to claim 9 which thickness can adjust the 3rd layer of said Si, can replace in the relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer to which the thickness of a spacer can be changed according to it, and can optimize a supply dose as a function of the temperature of the range of $0.4-425\text{K}$ according to the application of a device by it.

[Claim 17] The laminated structure according to claim 9 which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 2nd layer was formed in the bottom of the channel field which consists of said 4th and 5th layers, and was separated from said channel field by said 3rd layer of Si.

[Claim 18] The laminated structure according to claim 16 which said supply layer of said 2nd layer is formed in the bottom of the channel field which consists of said 4th and 5th layers, and is separated from said channel field by said relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer.

[Claim 19] In the laminated structure which forms a p channel field-effect transistor A single crystal substrate, The germanium molar fraction x by which epitaxial formation was carried out on said substrate The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of $0.35-0.5$, On said 1st layer, epitaxial formation is carried out and a compressive strain is added by this. The 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 2nd layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The 3rd layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, the 4th layer of $\text{Si}_{1-x}\text{Ge}_x$ which is not doped [by which epitaxial formation was carried out on said 3rd layer], The laminated structure containing the 5th layer of Si which is not doped [by which epitaxial formation was carried out on said 4th layer], and the 6th layer of $\text{Si}_{1-x}\text{Ge}_x$ of p mold dope by which epitaxial formation was carried out on said 5th layer.

[Claim 20] The laminated structure according to claim 19 which z has the germanium molar fraction y of $0.01-0.1$, and contains further the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

[Claim 21] The laminated structure according to claim 19 which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 2nd layer, and the epitaxial $\text{Si}_{1-w}\text{Ge}_w$ channel of said 3rd layer and compares with a monolayer channel device of having a higher compressive strain.

[Claim 22] The laminated structure according to claim 19 formed in the temperature requirement said whose 2nd layer is $275-350$ degrees C to which three-dimension growth of germanium film

which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 23] The laminated structure according to claim 19 to which the germanium content w in said 3rd layer falls gradually toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

[Claim 24] The laminated structure according to claim 19 whose spacer field is a compound laminated structure containing said 5th layer of strain Si, and said 4th layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 25] A laminated structure [the tensile strain joins said 5th layer, equivalent said 5th layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] according to claim 19.

[Claim 26] The laminated structure according to claim 19 which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer separated from said channel field according to the compound spacer structure where said supply layer is formed on the channel field which consists of said 2nd and 3rd layers, and consists of said 5th layer of Si, and said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 27] In the laminated structure which forms a p channel field-effect transistor A single crystal substrate, The germanium molar fraction x by which epitaxial formation was carried out on said substrate The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5, On said 1st layer, epitaxial formation is carried out and a compressive strain is added by this. The 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 2nd layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 3rd layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, the 4th layer of $\text{Si}_{1-x}\text{Ge}_x$ which is not doped [by which epitaxial formation was carried out on said 3rd layer], and the 5th layer of $\text{Si}_{1-x}\text{Ge}_x$ of p mold dope by which epitaxial formation was carried out on said 4th layer.

[Claim 28] The laminated structure according to claim 27 which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

[Claim 29] The laminated structure according to claim 27 which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 2nd layer, and the epitaxial $\text{Si}_{1-w}\text{Ge}_w$ channel of said 3rd layer and compares with a monolayer channel device of having a higher compressive strain.

[Claim 30] The laminated structure according to claim 27 formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 31] The laminated structure according to claim 27 to which the germanium content w in said 3rd layer falls gradually toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

[Claim 32] The laminated structure according to claim 27 whose spacer field is the monolayer structure which consists of the relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer of said 4th layer.

[Claim 33] The laminated structure according to claim 27 which can replace the 4th layer of said $\text{Si}_{1-x}\text{Ge}_x$ in an equivalent thin strain Si layer, and can make the spacer of a MODFET device thin by this.

[Claim 34] The laminated structure according to claim 27 which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 35] The laminated structure according to claim 33 which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by the equivalent thin strain Si layer.

[Claim 36] Field-effect transistor structure which contains further the insulating region generated in the field-effect transistor structure which consists of a laminated structure according to claim 1 by removing said the 7th thru/or 2nd layer selectively at least, the shot key gate electrode formed on said 7th layer, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 37] Field-effect transistor structure which contains further the insulating region generated in

the field-effect transistor structure which consists of a laminated structure according to claim 9 by removing said the 6th thru/or 2nd layer selectively at least, the shot key gate electrode formed on said 6th layer, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 38] In the field-effect transistor structure which consists of a laminated structure according to claim 1 The insulating region generated by removing said the 7th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 7th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 39] In the field-effect transistor structure which consists of a laminated structure according to claim 9 The insulating region generated by removing said the 6th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 6th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 40] In the field-effect transistor structure which consists of a laminated structure according to claim 19 The insulating region generated by removing said the 6th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 6th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 41] In the field-effect transistor structure which consists of a laminated structure according to claim 27 The insulating region generated by removing said the 5th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 5th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

[Claim 42] In the laminated structure which forms an electric device on it, epitaxial formation was carried out on the single crystal substrate and said substrate. The germanium molar fraction x is in the strain relief structure of the 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5, and said 1st layer. By $y=x+z$ The laminated structure which z has the germanium molar fraction y of 0.01-0.1, and contains the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to the upper part of said 1st layer, and the 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ by which epitaxial formation was carried out on said 1st layer.

[Claim 43] The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which carries out epitaxial formation of the 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ on said 1st layer, The phase which carries out epitaxial formation of the 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], The phase which carries out epitaxial formation of the 4th layer of non-doped $\text{Si}_{1-x}\text{Ge}_x$ on said 3rd layer, The phase which a compressive strain is added by this on said 4th layer, and carries out epitaxial formation of the 5th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 5th layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 7th layer of $\text{Si}_{1-x}\text{Ge}_x$ on the phase which carries out epitaxial formation of the 6th layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, and said 6th layer.

[Claim 44] The approach according to claim 43 of z having the germanium molar fraction y of 0.01-0.1, and including further the phase which forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$, in the strain relief structure of said 1st layer.

[Claim 45] The approach according to claim 43 formed in the temperature requirement said whose 5th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 46] The approach according to claim 43 said phase which forms the 6th layer includes the phase in which the germanium content w in said 6th layer is gradually reduced toward the top face of said 6th layer from high germanium content relatively near said 5th layer.

[Claim 47] Said 2nd layer is formed in the bottom of the channel field which consists of said 5th and

6th layers. It is the p form dope Si_{1-x}Gex layer separated from said channel field by said 3rd layer of Si, and said 4th layer of Si_{1-x}Gex. It is the approach according to claim 43 1-20nm of thickness of said 2nd layer is 4-5nm preferably, and an activity donor's dose is $1-3 \times 10^{12} \text{cm}^{-2}$ electrically [said 2nd layer].

[Claim 48] The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation Si_{1-x}Gex of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which carries out epitaxial formation of the 2nd layer of Si_{1-x}Gex on said 1st layer, The phase which carries out epitaxial formation of the 3rd layer of non-doped Si on said 2nd layer, The phase which a compressive strain is added by this on said 3rd layer, and carries out epitaxial formation of the 4th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 4th layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 6th layer of Si_{1-x}Gex on the phase which carries out epitaxial formation of the 5th layer of Si_{1-w}Gew which the compressive strain joined by this, and said 5th layer.

[Claim 49] The approach according to claim 48 of z having the germanium molar fraction y of 0.01-0.1, and including further the phase which forms the overshoot layer of Si_{1-y}Gey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$, in the strain relief structure of said 1st layer.

[Claim 50] The approach according to claim 48 formed in the temperature requirement said whose 4th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 51] The approach according to claim 48 said phase which forms the 5th layer includes the phase in which the germanium content w in said 5th layer is gradually reduced toward the top face of said 5th layer from high germanium content relatively near said 4th layer.

[Claim 52] The approach according to claim 48 of thickness being able to adjust the 3rd layer of said Si, replacing in the relaxation Si_{1-x}Gex layer to which the thickness of a spacer can be changed according to it, and optimizing a supply dose as a function of the temperature of the range of 0.4-425K according to the application of a device by it.

[Claim 53] The approach according to claim 48 of being the p form dope Si_{1-x}Gex layer which said 2nd layer was formed in the bottom of the channel field which consists of said 4th and 5th layers, and was separated from said channel field by said 3rd layer of Si.

[Claim 54] The approach according to claim 52 which said supply layer of said 2nd layer is formed in the bottom of the channel field which consists of said 4th and 5th layers, and is separated from said channel field by said relaxation Si_{1-x}Gex layer.

[Claim 55] The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation Si_{1-x}Gex of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which a compressive strain is added by this on said 1st layer, and carries out epitaxial formation of the 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 2nd layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The phase which carries out epitaxial formation of the 3rd layer of Si_{1-w}Gew which the compressive strain joined by this, The phase which carries out epitaxial formation of the 4th layer of non-doped Si_{1-x}Gex on said 3rd layer, The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 6th layer of Si_{1-x}Gex of p mold dope on the phase which carries out epitaxial formation of the 5th layer of non-doped Si on said 4th layer, and said 5th layer.

[Claim 56] The approach according to claim 55 of z having the germanium molar fraction y of 0.01-0.1, and including further the phase which forms the overshoot layer of Si_{1-y}Gey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$, in the strain relief structure of said 1st layer.

[Claim 57] The approach according to claim 55 formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 58] The approach according to claim 55 said phase which forms the 3rd layer includes the

phase in which the germanium content w in said 3rd layer is gradually reduced toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

[Claim 59] The approach according to claim 55 which said supply layer of the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer of said 6th layer is formed on the channel field which consists of said 2nd and 3rd layers, and is separated from said channel field according to the compound spacer structure which consists of said 5th layer of Si, and said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 60] The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which a compressive strain is added by this on said 1st layer, and carries out epitaxial formation of the 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 2nd layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The phase which carries out epitaxial formation of the 3rd layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 5th layer of $\text{Si}_{1-x}\text{Ge}_x$ of p mold dope on the phase which carries out epitaxial formation of the 4th layer of non-doped $\text{Si}_{1-x}\text{Ge}_x$ on said 3rd layer, and said 4th layer.

[Claim 61] The approach according to claim 60 of z having the germanium molar fraction y of 0.01-0.1, and including further the phase which forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$, in the strain relief structure of said 1st layer.

[Claim 62] The approach according to claim 60 formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

[Claim 63] The approach according to claim 60 said phase which forms the 3rd layer includes the phase in which the germanium content w in said 3rd layer is gradually reduced toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

[Claim 64] The approach according to claim 60 of being the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

[Claim 65] The approach according to claim 60 of being the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by the equivalent thin strain Si layer.

[Claim 66] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 43 The phase which forms an insulating region by removing said the 7th thru/or 2nd layer selectively at least, How to include further the phase which forms a shot key gate electrode on said 7th layer, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 67] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 48 The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a shot key gate electrode on said 6th layer, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 68] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 43 The phase which forms an insulating region by removing said the 7th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 7th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 69] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 48 The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 6th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 70] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 55 The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 6th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 71] In the formation approach of the field-effect transistor structure which consists of an approach according to claim 60 The phase which forms an insulating region by removing said the 5th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 5th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

[Claim 72] The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 in the phase as for which the germanium molar fraction x carries out epitaxial formation on the phase which forms a single crystal substrate, and said substrate, and the strain relief structure of said 1st layer by $y=x+z$ The formation approach of an electric device including the phase which forms the 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ on the phase which z has the germanium molar fraction y of 0.01-0.1, and forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to the upper part of said 1st layer, and said 1st layer.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to new epitaxial field-effect transistor structure applicable to the microwave, submillimeter wave, and millimetric wave application of a high-speed low noise at a detail about the ingredient system of silicon / silicon germanium base. This epitaxial field-effect transistor structure contains the strain p channel of the desirable high performance incorporating the silicon layer, germanium layer, and silicon germanium layer which form modulation dope hetero structure (modulation-doped heterostructure).

[0002]

[Description of the Prior Art] In the field of high-speed low noise device application, carrier (electron, electron hole) conduction takes place in a non-doped channel layer, therefore there is no limit of the carrier mobility by impurity scattering, and interests have gathered for the design/fabrication of the high electron mobility transistor (HEMT:high electron mobility transistor) or modulation dope field-effect transistor (MODFET:modulation-doped field effect transistor) from which high carrier mobility is obtained. Generally, these high-speed electron devices are often used as the low noise amplifier which operates with microwave and a radio frequency band, power amplifier, the receiver of a satellite, and a transmitter, and a but expensive, high-speed III-V group (for example, GaAs) ingredient system and a high-speed, but expensive technique are usually chosen. It is more cheap to not being so desirable in semiconductor industry as for a complicated and expensive III-V group ingredient technique, and the SiGe ingredient system which has compatibility sufficient between current Si techniques is desirable, and integration with the existing Si-CMOS device technique is far easy for it.

[0003] An example of Si technique and a compatible ingredient system is published by P.M. Solomon (Solomon) on May 28, 1991, and is indicated by U.S. Pat. No. 5019882 of the name "Germanium Channel Silicon MOSFET" transferred to the assignee of this description. In U.S. Pat. No. 5019882, the channel of high carrier mobility contains the silicon / germanium alloy layer grown up on the silicon substrate. This alloy layer is fully thin and the suitable growth without a pseudomorph rearrangement is obtained. A silicon layer is formed on this alloy layer, this is oxidized selectively and a dielectric layer is formed. A gate field is formed on this diacid-ized silicon layer.

[0004] the 2nd example of Si technique and compatible high performance SiGe device structure -- July 9, 1996 -- KE. -- a chair -- it is published by the mile (Ismail) and indicated by U.S. Pat. No. 5534713 of the name "Complementary Metal-Oxide Semiconductor Transistor Logic Using Strained Si/SiGe Heterostructure Layers" transferred to the assignee of this description. The silicon CMOS transistor structure manufactured on the Si/SiGe strain hetero mechanical design where the pad Si channel with which the tensile strain joined the p channel device and electron mobility was strengthened in the pad SiGe channel with which the compressive strain was added and hole mobility was strengthened was used for the n channel device is indicated by U.S. Pat. No. 5534713. It is further indicated by No. 5534713 that the percentage of germanium is 50 - 100%, and the compressive-strain SiGe layer of a proposal which functions as a p channel of a p channel field-effect transistor is 80% preferably. SiGe of IBM which used this channel design and presentation until now The hole mobility obtained with the p channel MODFET prototype is only a maximum of 1000cm²/Vs at a room temperature.

[0005]

[Problem(s) to be Solved by the Invention] Therefore, the p channel design which has the compound or two-layer structure which consists of germanium layer (15-20Å in thickness) and the SiGe layer (70-100Å in thickness) of 70 - 80% of germanium in order to obtain the high hole mobility exceeding 1000cm²/Vs is shown as optimal p channel structure which produces higher hole mobility by the SiGe ingredient system.

[0006] A one division target of this invention is to offer p mold modulation dope field-effect transistor (MODFET) manufactured on a SiGe layer and the compound which contains pure germanium layer substantially, or two-layer structure.

[0007] A one division target of this invention is to offer the laminated structure which enables formation of the p channel field-effect transistor which has the channel which has the presentation profile of the proper corresponding to the depth.

[0008] Other objects of this invention have an activity channel in offering the p channel device which is the compound or two-layer structure which consists of a SiGe layer and thin germanium layer.

[0009] Other objects of this invention have high carrier mobility compared with the channel in which compound channel structure has a single SiGe layer, and its obstruction over an electron hole carrier is expensive, or they are shut up, and are to offer the p channel device using the high compressive strain which has the advantage that a channel is deep.

[0010] Other objects of this invention consist of the SiGe layer and germanium layer which the compressive strain joined, and are to offer the pad compound channel which raises the carrier mobility of a p channel device.

[0011] Other objects of this invention have a spacer layer in offering the p channel device which is the compound or the two-layer design which consists of a SiGe layer and thin Si layer.

[0012] Other objects of this invention are by adding one or more overshoot layers into the SiGe buffer structure where germanium presentation increases gradually to offer the laminated structure and the manufacture process that a desired relaxation SiGe layer can be made to fully ease.

[0013] Other objects of this invention are bulk Si. P channel MOS FET, single channel SiGe It is in offering p channel MODFET which has high hole mobility compared with the conventional techniques, such as p channel MODFET.

[0014] Since carrier mobility is high, other objects of this invention are bulk Si. P channel MOS FET or single channel SiGe It is in offering p channel MODFET with which high frequency actuation was strengthened compared with p channel MODFET.

[0015]

[Means for Solving the Problem] Based on this invention, the epitaxial structure of the silicon / silicon germanium base for p mold field-effect transistors where a SiGe layer, the compound which consists of pure germanium layer substantially, or two-layer structure was used for the p channel field is indicated. The germanium molar fraction x by which epitaxial formation was carried out on the semi-conductor substrate and the substrate this structure The 1st layer of relaxation Si_{1-x}Ge_x of 0.35-0.5, The 2nd layer of p mold dope Si_{1-x}Ge_x by which epitaxial formation was carried out on the 1st layer, On the 2nd layer, epitaxial formation is carried out and the tensile strain is added by this. As opposed to the top face of the 1st relaxation Si_{1-x}Ge_x layer The 3rd equivalent layer of non-doped Si, The 4th layer of Si_{1-x}Ge_x which is not doped [by which epitaxial formation was carried out on the 3rd layer], On the 4th layer, epitaxial formation is carried out and a compressive strain is added by this. As opposed to the top face of the 1st relaxation Si_{1-x}Ge_x layer The 5th equivalent layer of non-doped germanium, Epitaxial formation is carried out on the 5th layer, and the germanium molar fraction w is 0.5-<1.00, $w-x > 0.2$. The 6th layer of Si_{1-x}Ge_x which is not doped [to which the compressive strain was applied by this], and the 7th layer of Si_{1-x}Ge_x which is not doped [by which epitaxial formation was carried out on the 6th layer] are included. The independent metal layer which forms the Schottky barrier, or a dielectric / metal layer can be formed on the 7th layer, can carry out patterning, and the gate of a p channel field-effect transistor can be formed. On the other hand, a drain and a source field can be formed by forming p mold field into the laminated structure of the both sides of the gate. This laminating mechanical design forms modulation dope hetero structure, and is located under the activity compound channel to which a

supply layer or the 2nd layer of p mold dope Si1-xGex changes from the 5th and 6th layers. Furthermore, with this laminating device structure, the spacer layer which separates an activity channel from a supply layer uses the double layer containing the 3rd layer of non-doped Si, and the 4th layer of non-doped Si1-xGex.

[0016] This invention offers further the p channel field-effect transistor whose hole mobility of a channel improved, and its formation approach. Epitaxial formation of this transistor was carried out on the semi-conductor substrate and the substrate. The germanium molar fraction x The 1st layer of relaxation Si1-xGex of 0.35-0.5, The 2nd layer of Si1-xGex of p mold dope by which epitaxial formation was carried out on the 1st layer, The 3rd layer of Si1-xGex which is not doped [by which epitaxial formation was carried out on the 2nd layer], The 4th layer of germanium which is not doped [which epitaxial formation was carried out on the 3rd layer and became equivalent to the top face of the 1st layer of relaxation Si1-xGex by this], Epitaxial formation is carried out on the 4th layer, and the germanium molar fraction w contains the 5th layer of Si1-wGew which is not doped [which the compressive strain joined by $0.5 < 1.00$], and the 6th layer of Si1-xGex which is not doped [by which epitaxial formation was carried out on the 5th layer]. This laminating mechanical design describes modulation dope hetero structure, and a supply layer or the 2nd layer of p mold dope Si1-xGex is separated from the activity compound channel of the 4th and 5th layers by the 3rd single spacer layer design of Si or Si1-xGex.

[0017] This invention offers further the p channel field-effect transistor whose hole mobility of a channel improved, and its formation approach. Epitaxial formation of this transistor was carried out on the semi-conductor substrate and the substrate. The germanium molar fraction x The 1st layer of relaxation Si1-xGex of 0.35-0.5, The 2nd layer of germanium which is not doped [which epitaxial formation was carried out on the 1st layer and became equivalent to the top face of the 1st layer of relaxation Si1-xGex by this], Epitaxial formation is carried out on the 2nd layer. The germanium molar fraction w by $0.5 < 1.00$ The 3rd layer of Si1-wGew which is not doped [which the compressive strain joined], the 4th layer of Si1-xGex which is not doped [by which epitaxial formation was carried out on the 3rd layer], and the 5th layer of Si1-xGex of p mold dope by which epitaxial formation was carried out on the 4th layer are included. This laminating mechanical design describes modulation dope hetero structure, and is located on the activity compound channel in which a supply layer or the 5th layer of p mold dope Si1-xGex contains the 2nd and 3rd layers. Similarly, further, Si spacer layer is added between the 3rd layer and the 4th layer or between the 4th layer and the 5th layer, it can dissociate with this on the activity compound channel which consists of the 2nd and 3rd layers, and a supply layer or the 5th layer of Si1-xGex of p mold dope can be arranged.

[0018] This invention offers the approach and structure of a relaxation (90% **) Si1-xGex buffer layer further. Epitaxial formation of this buffer layer was carried out gradually (or linearly) by beginning germanium content of a semi-conductor substrate and a layer from a substrate, and increasing it gradually (or linearly). x The 1st layer of partial relaxation (less than 50%) Si1-xGex of 0.1-0.9, By $y=x+z$ which epitaxial formation is carried out on the 1st layer, and serves to carry out fault relaxation to the presentation which has a lattice spacing corresponding to a bigger presentation than x for the 2nd layer Epitaxial formation of the z is carried out on the 2nd layer of Si1-yGey of 0.01-0.1, and the 2nd layer, and it contains the 3rd layer of Si1-xGex further eased by this compared with the 1st layer of partial relaxation Si1-xGex of an original copy. Extent of relaxation of the addition resulting from this 2nd Si1-yGey overshoot layer is decided by thickness of this 2nd layer, and the thickness of the 2nd layer is limited by the marginal thickness of this layer to the 1st layer of the first partial relaxation Si1-xGex.

[0019] This invention offers p mold field-effect transistor which the conduction channel of a device can manufacture further on one of the laminated structures described previously which consists of a SiGe layer and the compound which contains pure germanium layer substantially, or two-layer structure. A field-effect transistor is separated by the field made by removing selectively an up barrier layer, a conduction two-layer channel, a non-doped spacer field, and p mold doping field, and a two-dimensional channel is formed only in the separated activity device field. The gate electrode which consists of a conduction stripe can be directly formed on the activity device field on the front face of a wafer, and the source and a drain electrode can be formed in the activity device field of the

both sides of a gate electrode by creating the ohmic contact to a two-layer channel.

[0020] The above of this invention and the other descriptions, the object, and an advantage will become clear by reading the following detailed explanation of this invention with reference to an accompanying drawing.

[0021]

[Embodiment of the Invention] A drawing is referred to. The sectional view of the laminated structure 10 of the compound p channel modulation dope SiGe hetero structure which shows the operation gestalt of this invention in drawing 1 is shown. A layer 12 thru/ or 18 Si, SiGe, germanium and SiC, GaAs, SOS, On the single crystal semiconductor substrates 11, such as SOI and bond - and - etchback silicon on insulator (BESOI) Ultra-high-vacuum chemical vacuum deposition (UHV-CVD:ultra high vacuum chemical vapor deposition), Epitaxial growth is carried out using the epitaxial growth technique, such as a molecular beam epitaxy (MBE) and high-speed thermochemistry vacuum evaporation (RTCVD:rapid thermal chemical vapor deposition). Please refer to U.S. Pat. No. 5298452 of a name called "Method and Apparatus for Low Temperature and Low Pressure Chemical Vapor Deposition of Epitaxial Silicon Layers" of the March 29, 1994 issuance to B.S. my YASON (Meyerson) included in this description by reference about the UHV-CVD approach of growing up an Si and Si1-xGex epitaxial film on a silicon substrate.

[0022] The desirable laminated structure 20 is shown in drawing 2. Drawing 2 shows the lower part of a laminated structure 10 shown in drawing 1. Drawing 2 is the transmission electron microscope (TEM) photograph of the cross section of the fabrication laminated structure 20 containing the layers 12A, 12B, 12C, and 13 grown up on the desirable silicon substrate 31 thru/ or 18. germanium presentation profile which was measured by the secondary ion mass spectrometry (SIMS) and to which the SiGe laminated structure 20 of drawing 2 corresponds is shown in drawing 3. The axis of ordinate of drawing 3 expresses germanium concentration expressed with the atomic ratio, and an axis of abscissa expresses the near depth expressed with the micron. drawing 3 -- a curve -- a part -- 21 -- ' -- or -- 27 -- ' -- 12 -- B -- ' -- and -- 12 -- C -- ' -- drawing 2 -- having been shown -- a layer -- 21 -- or -- 27 -- 12 -- B -- and -- 12 -- C -- germanium -- concentration -- corresponding.

[0023] Drawing 4 is the enlarged drawing of only the upper part of drawing 3, and only the device field is shown. The axis of ordinate on the right-hand side of drawing 4 expresses germanium concentration expressed with the atomic ratio, and an axis of abscissa expresses the near depth expressed with angstrom. A curve 37 shows germanium concentration to the near depth. The axis of ordinate on the left-hand side of drawing 4 expresses the boron concentration expressed with an atom/cc, and a curve 39 shows the boron concentration to the near depth.

[0024] The 1st epitaxial layer of the relaxation Si1-xGex layer formed in the top face of substrates 11 and 31 described as layer 12A by drawing 1 and 2 consists of the laminated structure in which germanium presentation contains the layer 21 which changed gradually thru/ or 27. A layer 21 thru/ or 27 have the desirable profile shown in drawing 3 by which the strain of the substrates 11 and 31 under it was mitigated through correction Frank-Read source 33 shown in drawing 2 which is the device which generates a buffer layer 21 thru/ or the strain of 27, or a new rearrangement. The Frank-Read source is indicated by U.S. Pat. No. 5659187 of F.K. REGOSU (Legoues) of the August 19, 1997 issuance included in this description by reference, and B.S. my YASON (Meyerson).

[0025] Including Layers 12A, 12B, and 12C, a buffer layer 12 is a non-doped relaxation layer at first, and has about 35% of germanium presentation preferably about 30% to about 50% by the interface 19 of layers 12 and 13.

[0026] In the actual design of a layer 12, Si1-xGex layer 12A to which germanium presentation was changed gradually is first formed on the Si substrates 11 and 31. Then, on layer 12A, y=x+z and z form 0.01 to 0.1, and layer 12C of Si1-xGex' finally eased more on layer 12B by forming overshoot layer 12B of Si1-yGey of 0.05 preferably. Overshoot layer 12B serves to guarantee whenever [high relaxation], i.e., whenever [relaxation / >90% of], by the interface 19 of top Si1-xGex' surface-layer 12C fundamentally. It is desirable to use overshoot layer 12B of Si0.60germanium0.40 shown by curvilinear partial 12B' to curvilinear partial 21' of drawing 3 - 27' in the desirable case where fully eased 0.35 layer 12C of Si0.65germanium is attained. In relaxation Si1-xGex' layer 12C, the lattice constant aSiGe within a flat surface (inch-plane) (x) is given by the formula (1).

$$a_{\text{SiGe}}(x) = a_{\text{Si}} + (a_{\text{Ge}} - a_{\text{Si}})x \quad (1)$$

By the top formula, x is the content of germanium, $1-x$ is the content of Si, and a_{Si} and a_{Ge} correspond to the lattice constant of Si and germanium, respectively. Therefore, in the desirable case where the Si_{0.65}germanium_{0.35} top surface layer is eased >90%, layer 12C has a lattice constant exceeding 4.956Å. A layer 12 serves to ease the strain resulting from the grid mismatching between the top face of relaxation layer 12C or an interface 19, and the Si substrates 11 and 31 under it structurally. Since the lattice spacing of germanium is that [1.04 times / of a single crystal Si], 4.2% of grid mismatching exists among both sides. Thickness of a buffer layer 12 can be set to 0.2-5 micrometers. Desirable thickness is about 2.5 micrometers. Gradually (it is desirable rather than it carries out continuation change linearly), from $x=0$ to $x=0.10-1.0$, preferably, as shown in curvilinear partial 21' thru/or 27' of the layer 21 of drawing 2 thru/or 27, and drawing 3, it increases germanium presentation profile at a time by 0.05 germanium gradually for every layer, and it is increased to $x=0.35$.

[0027] In order to evaluate the capacity of a layer 12 to attain Si_{0.65}germanium_{0.35} fully eased buffer, the high resolution X diffraction (XRD) was used and the property of the fabrication sample structure of drawing 2 was evaluated. (004) A reflective observation spectrum is shown in X-ray rocking curve 62 of drawing 5. According to analysis, the upper part of SiGe buffer layer 12C and the lattice constant in an interface 19 support germanium presentation value $x=0.35$ which has about 95% of strain relaxation to the lower Si substrate 31. The axis of ordinate of drawing 5 expresses the reinforcement of the unit of arbitration, and an axis of abscissa expresses a bragg angle. The curvilinear part 63 of a curve 62 shows the measurement diffraction spectrum of the compound electron hole channels 16 and 17. The curvilinear part 64 of a curve 62 shows the measurement diffraction spectrum of a layer 12 to which the presentation was changed gradually. The curvilinear part 65 of a curve 62 shows the measurement diffraction spectrum of overshoot layer 12B. The curvilinear part 66 of a curve 62 shows the measurement diffraction spectrum of a substrate 11.

[0028] A silicone film and a ** silicone film, i.e., Si:B, Si:P SiGe, SiGe:B, SiGe:P The desirable method of growing up SiGeC, SiGeC:B, and SiGeC:P is a UHV-CVD process given in U.S. Pat. No. 5298452 of my YASON described previously. The suitable UHV-CVD reactor for growth of the above-mentioned silicone film and a ** silicone film can come to hand from the lei boldus-spatula S company (Leybold-Heraeus Co.) in Germany, EPIGURESU (Epigress) of Sweden, and the CVD equipment company (CVD Equipment Corp.) of the New York State, U.S., RONKON comber (Ronkonkoma).

[0029] In the laminated structure 10 of compound p channel modulation dope SiGe hetero structure, first, the relaxation SiGe layer 13 of p mold dope which functions as the donor layer or supply layer under an activity channel is formed on layer 12C, as shown in drawing 1. 1-20nm of thickness of a layer 13 must be 4-5nm preferably, and an activity donor's dose must be $1-3 \times 10^{12} \text{cm}^{-2}$ electrically. p mold dopant of a layer 13 is included in the SiGe layer 13 by doping by B-2 H6 of various flow rates in the epitaxial growth of a layer 13. An example of the desirable boron dopant profile to the SiGe layer 13 is shown in drawing 4 which set the dose to $1.5 \times 10^{12} \text{boron / cm}^2$. On p mold dope layer 13, epitaxial growth of the non-doped strain Si layer 14 is carried out as a spacer layer. A layer 14 serves to separate the dopant of a layer 13 from the activity channel layers 16 and 17 formed on it. The thickness of a layer 14 must be thinner than the marginal thickness of the silicon layer to the lattice spacing in the interface 19 of the relaxation layer 12. The desirable thickness of the layer 13 in case the interface 19 of a layer 12 is 0.35 layers of relaxation Si_{0.65}germanium is 1-2nm.

[0030] Next, epitaxial growth of the thin non-doped relaxation SiGe layer 15 is carried out on a layer 14. Like a layer 14, a layer 15 commits the spacer layer which separates the dopant of a layer 13 from the compound channel 33 when layers 16 and 17 are included further, in order to maintain the hole mobility of layers 16 and 17 highly. 0-10nm of thickness of a layer 15 is 4-5nm preferably. Epitaxial growth of the compressive-strain germanium layer 16 which functions as the 1st part of the compound p channel 33 of a p channel field-effect transistor is carried out on a layer 15. Please refer to U.S. Pat. No. 5259918 of S. Akbar (Akbar) of the name "Heteroepitaxial Growth of Germanium on Silicon by UHB/CVD" of the November 9, 1993 issuance included in this description by reference, J.O. CHU (Chu), and B. Cunningham (Cunningham), about detailed explanation of the UHV-CVD method which grows up the epitaxial germanium film on a silicon substrate. In order for a layer 16 to be the effective component of the compound p channel 33, this epitaxial germanium

layer must be a layer of device quality without structure defects, such as a problem of the granularity in the interface of a stacking fault, a layer 16, and a layer 17. For example, in the desirable case where layer 12C is 0.35 layers of relaxation Si_{0.65}germanium in an interface 19, 0-25A of thickness of the germanium layer 16 is 20A preferably shown in drawing 6. In order to maintain the thickness of the germanium layer 16 to 20A, please care about that it is important that the lattice spacing in the interface 19 of a layer 12 is equal to the lattice spacing of 90% relaxation Si_{0.65}germanium0.35 buffer, or equivalent to this at least. Unlike this, by the way, whenever [relaxation], or germanium content is lower than this, and when [of an interface 19] a lattice spacing makes it grow up on the short buffer layer 12, as shown in drawing 7, a stacking fault arises in the germanium layer 16. [0031] The germanium layer 16 which has the stacking fault of 104 - 106 defect / cm² in drawing 6 is shown. The stacking fault produced in the germanium layer 16 may be expanded up, and may reach the Si_{1-w}Gew layer 17. The stacking faults of the Si_{1-w}Gew layer 17 must also be 104 - 106 defect / cm². Smoothing in the top face of a layer 17 and an interface 42 is shown in drawing 6. The stacking fault is reduced by less than two 106 defects / cm by easing the layer 12 90% by the interface 19. It can ask for the percent of layer relaxation by measuring a lattice constant by the X diffraction (XRD) described previously.

[0032] The layer 12 of resemblance at drawing 6 in drawing 7 thru/or 18 are shown. however, the layer 12 of drawing 7 -- by the interface 19, a lattice constant especially corresponds to less than 90% of relaxation, and the 106 defects / cm² which is not desirable are exceeded in an electron device -- generally the stacking fault of 106 - 108 defect / cm² has arisen.

[0033] On a layer 16, epitaxial growth of the compressive-strain SiGe layer 17 which functions as the 2nd part of the compound channel 33 of a p channel field-effect transistor is carried out. germanium presentation of the SiGe layer 17 -- 40-100A in thickness -- receiving -- 50%- < -- it is 80% preferably 100%. Or that even about 0.50 germanium of the upper part of the SiGe layer 17 makes it fall gradually from 0.95germanium of the lower part of a layer near the germanium layer 16 etc. may reduce the germanium content of the SiGe layer 17 gradually.

[0034] On a layer 17, a p channel 33 is separated from a front face, and the SiGe cap layer 18 which serves to shut up an electron hole carrier at layers 16 and 17 is grown up. Desirable germanium presentation is the same as the presentation by the interface 19 of 12 C layer. 2-20nm of thickness of a layer 17 is 10-15nm preferably. The silicon / germanium presentation of layers 13, 15, and 18 are made the same, and a lattice spacing can become the same. When layer 12C has a lattice spacing equivalent to relaxation Si_{0.65}germanium0.35 buffer layer by the interface 19, the germanium content is 35% preferably 20 to 50%.

[0035] The high compressive strain which the electron hole into a channel shut up and originated in the high mobility having the lattice constant of pure germanium larger than Si in the compound channel structure of having the layer which is two with germanium content higher than the relaxation buffer layer of the interface 19 of a layer 12, 4.2% is the cause. SiGe or germanium channel layer formed on the relaxation SiGe buffer layer of a layer 12 can be made to be able to produce a compressive strain, and raising this can change considerably conduction and the valence band of the p channel layers 16 and 17 according to a structurally possible thing. Furthermore, a parameter important for the design of p channel modulation dope hetero structure is valence-band offset (ΔE_v) of Si_{1-x}Gex to the relaxation Si_{1-x'}Gex' epilayer of a layer 12 given by the formula (2), or germanium compressive-strain channel layer.

$$\Delta E_v = (0.74 - 0.53x') \times (\text{eV}) \quad (2)$$

By the top formula, x' is germanium content of the relaxation SiGe epilayer of a layer 12, and x is germanium content of an electron hole channel. this -- a formula -- reference -- a book -- a description -- incorporating -- having -- R . -- the People (People) -- and -- J . -- C . -- flowbean (Bean) -- a report -- "-- Band alignments of coherently strained GexSi -- one - x/Si heterostructures on -- < -- 001 -- > -- GeySi -- one - y substrates -- " -- Appl . -- Phys . -- Lett . -- 48 -- (-- eight --) -- pp -- 538 - 540 -- 1986 -- a year -- two -- a month -- 24 -- a day -- reporting -- having -- **** . the valence-band offset the discontinuity (ΔE_v) of the valence band is 443meV(s), and big when it is 0.8 Si_{0.2}germanium with which the layer 17 was formed on 12 0.35 layers of relaxation Si_{0.65}germanium at the detail to a pan called 554meV in the case of the pure channel layer 16 of germanium -- an electron hole or a valence band -- being generated -- an electron hole -- it receives

shutting up and a deeper quantum well or a more effective obstruction is produced intrinsically. The compressive strain of SiGe or germanium layer is important also for serving to divide a valence band into a heavy electron hole band and a light hole band further. They are a report "A 1.2V and 0.1 micrometer Gate Length CMOS Technology: Design and Process Issues" besides M. RODA (Rodder), and IEDM as hole mobility improves and being later stated by electron hole migration which met by this the strain channel in the high order valence band which has light hole mass more. Si which is generally about $75\text{cm}^2/\text{Vs}$ as reported to 98-623 It becomes quite higher than the hole mobility in the inside of a p channel field-effect transistor. Consequently, the measurement hole mobility in the occupancy electron hole band of compound channel structure in case a layer 17 is 0.8 Si_{0.2}germanium with a thickness of 7-8nm and a layer 16 is germanium channel with a thickness of 1.5-2.0nm serves as $900\text{-}1400\text{cm}^2/\text{Vs}$ by 300K, and serves as $5000\text{-}10000\text{cm}^2/\text{Vs}$ by 20K.

[0036] Furthermore, behavior of the measurement hole mobility of a two-dimensional electron hole gas (2DHG: two-dimensional hole gas) to the temperature of Si_{0.2}germanium0.8 / germanium compound p channel 33 grown up into the curve 71 of drawing 8 on the Si_{0.65}germanium0.35 buffer layer 12 eased appropriately is shown. It is inferior to the quality grown up into the curve 72 on Si_{0.75}germanium0.25 buffer of a low germanium content as a comparison, or the behavior of inferior mobility relevant to Si_{0.2}germanium0.8/germanium compound channel structure with many defects is shown. This drawing shows that the compound p channel 33 tends to be influenced to the suitable design of the layers 12, such as a presentation profile, extent of relaxation, a stacking fault that remains, and a mismatching rearrangement. The axis of ordinate of drawing 8 expresses hole mobility μ_h expressed with cm^2/Vs , and an axis of abscissa expresses the temperature expressed with K. It is based on existence of a stacking fault as shown in drawing 7 produced in Si_{0.2}germanium0.8 / germanium compound p channel 33 that behavior of the mobility shown in the curve 72 is inferior, when the compound p channel 33 is manufactured on an epitaxial layer with low germanium content smaller [0.35 layers of Si_{0.65}germanium / whenever / relaxation] than 12. The measurement mobility of the Si_{0.2}germanium0.8/germanium compound p channel 33 shown in a curve 71 is Si. It is 6 to 7 times as high as what is seen by the p channel field-effect transistor. The measurement mobility of the compound p channel 33 shown in the curve 71 shows the same defect density as what was shown in drawing 6, and, generally is $104\text{ - }106\text{ defect / cm}^2$. The measurement mobility of the compound p channel 33 shown in the curve 72 shows the same defect density as what was shown in drawing 7, and, generally is $106\text{ - }108\text{ defect / cm}^2$. Mobility μ_h of the compound p channel 33 in 300K is $1360\text{cm}^2/\text{Vs}$ in field carrier density $1.4 \times 10^{12}\text{cm}^{-2}$. Mobility μ_h of the compound p channel 33 in 20K is $9800\text{cm}^2/\text{Vs}$ in field carrier density $3.17 \times 10^{12}\text{cm}^{-2}$.

[0037] the channel 43 which contains layers 16 and 17 on a buffer layer 12 with the alternative implementation gestalt shown in drawing 9 -- on a channel 43, the Si layer 14 is formed on a layer 15, and the p mold dope Si_{1-x}Gex supply layer 13 is formed for the SiGe layer 15 on the Si layer 14. The dielectric layers 81, such as diacid-ized silicon, are formed on the SiGe layer 13. In drawing 9, the same reference mark was used to the function corresponding to the equipment of drawing 1.

[0038] In drawing 1, one of the spacer layers 14, for example, Si spacer layer, or the SiGe spacer layers 15 can be structurally excluded from compound p channel 33 laminated structure 10, without the electron hole in a p channel 33 shutting up, and reducing carrier mobility substantially.

[0039] In case it is going to optimize carrier migration at low temperature ($<20\text{K}$) by separating the activity carrier of a p channel 43 from the electron hole donor by whom the supply layer 13 was ionized further in the design of the modulation dope device 80 shown in drawing 9, the spacer of the thicker one of the spacer layers 15 and 14 is usually more desirable, and it is important.

Nevertheless, when only either Si spacer layer 14 or the SiGe spacer layers 15 exist and the compound channel 43 of the modulation dope device 80 is separated from the supply layer 13 in migration at a room temperature, it cannot but be the minimum though there is effectiveness observed.

[0040] In the modulation dope device 80 with which the supply layer 13 is located on the activity channel 43 as shown in drawing 9, a compound p channel layer consists of the thin germanium layer 16 (thinner than about 10-20Å in marginal thickness in an interface 19), and the SiGe layer 17. First, the germanium layer 16 is formed on 12 C layer, and an interface 19 is formed. Layers 16 and 17 function as a channel field 43 of a field-effect transistor. Next, it consists of the SiGe spacer layer 15

and Si spacer layer 14, and the spacer layer which serves to separate the dopant of the upper supply layer 13 from the activity channel of the bottom which consists of layers 16 and 17 is grown up on the channel layer 17. On the spacer layer 14, the SiGe supply layer 13 of p mold dope which functions as the donor layer or supply layer on the activity channel layers 16 and 17 is formed. A germanium presentation and thickness of layers 16, 17, 15, 14, and 13 are the same as the layer of the same reference mark of drawing 1 which shows the compound channel laminated structure 10 which has the SiGe supply layer 13 under a channel 33, or can be made equivalent.

[0041] Self-align p mold SiGe The top view of a MODFET device is shown in drawing 10. The cross section which met the line 12-12 of drawing 10 is shown in drawing 11. A self-align MODFET design is suitable to minimize the access resistance relevant to shot key gate device structure, and this process usually needs patterning of gate metallic coating, and vacuum evaporation before ohm metallic coating of the source/drain. In case the ohmic contact of the source and a drain is vapor-deposited for the gate of T form, it manufactures so that the mask with which the overhang of the gate prevents the ohmic contact of the source and a drain connecting with the footprint of the shot key gate too hastily may be committed. M. ARAFA (Arafa) by which this basic-process system is included in this description by reference, and K. -- the report "A 70-GHz fT low operating bias self-aligned p-type SiGe MODEFT" of a chair mile (Ismail), J.O. CHU (Chu), B.S. my YASON (Meyerson), and I. ADESHIDA (Adesida), and IEEE Elec.Dev.Lett.vol. -- it is reported to pp.586-588 17 (12) months and December, 1996. This device consisted of the laminated structure indicated to drawing 1, and the same reference mark was used for it to the layer corresponding to the layer of drawing 1 as shown in drawing 11. This laminating mechanical design shows modulation dope hetero structure, and is separated from the layers 16 and 17 in which p mold dope layer 13 which commits a supply layer commits a conduction channel field by the non-doped layers 14 and 15 which commit a spacer layer. The field-effect transistor 100 of drawing 11 consists of the isolation region 104 made by removing selectively layers 13, 14, 15, 16, 17, and 18 so that a conduction compound channel field may remain only in the activity device field 105. The isolation region 104 must enclose the perimeter of the activity channel field 105 thoroughly, as shown in drawing 10. Subsequently, an isolation region 104 is inactivated by making the insulating materials 106, such as SiOx, adhere in the isolation region 104 after etching. The lower part is T form of double width [upper part] in narrow-width, and, as for gate structure, it is desirable to have the property that the Schottky barrier over an electron hole is expensive, resistivity is low and the temperature obstruction over a reaction with a substrate is expensive. Such a property can be acquired by using a multi-level gate stack. With a desirable operation gestalt, by the electron beam lithography which used the bilayer or TORIREIYA P (MMA-PMMA) resist system, patterning of the gate 107 is carried out and it is demarcated using the lift off of Ti/Mo/Pt/Au. In this case, the gate 107 is formed on a layer 18 and consists of the Ti layer 108, an Mo layer 109, a Pt layer 110, and an Au layer 111 toward a top from the bottom. It is possible to set the dimension of the footprint 112 of the gate to less than 0.1 micrometers, and to make small the dimension between the source-gates and between the drain-gates according to this process, at about 0.1 micrometers. The gate 107 must form the narrow-width stripe which divides an activity device field into two separate fields of both sides thoroughly. Subsequently, the source and the self-align ohmic contacts 113 and 114 of a drain are formed by making a metal vapor-deposit on the activity device field 105. At this time, the duty of the shadow mask with which the overhang part 115 of the gate 107 prevents the source and the drain contacts 113 and 114 connecting with the gate 107 too hastily is achieved. With a desirable operation gestalt, the film of Pt with a thickness of 20-30nm is vapor-deposited on the activity device field 105, subsequently it silicifies at T= 200-400 degrees C, and the source and the drain contacts 113 and 114 of low resistance are formed.

[0042] The sectional view of the insulated-gate field-effect transistor on a compound p channel laminated structure is shown in drawing 12. This device changed from the laminated structure of a publication to drawing 1, and used the same reference mark for it to the layer corresponding to the layer of drawing 1. A device consists of the insulating layer 120 formed on the SiGe layer 18 further. A layer 120 is constituted from SiOx or SixNy by the desirable operation gestalt. This device consists of the isolation region 121 which consisted of an approach given in drawing 10, and same approach further, the gate 122, the source, and the drain contacts 123 and 124. With a desirable

operation gestalt, the gate 122 is formed on an insulating layer 120. The source and the self-align ohmic contacts 123 and 124 of a drain are formed by using the gate 122 as a mask after patterning of the insulating side-attachment-wall field 121.

[0043] Some scan microphotographies of the self-align MODFET finished product manufactured to drawing 13 on drawing 10 and a compound p channel laminated structure given in drawing 11 are shown. Spacing between 0.12 micrometers and the source-gate of the gate footprint of this specific device is 0.15 micrometers.

[0044] The graph of the RF property of self-align compound p channel MODFET in two steps of bias voltage which is different in drawing 14 and 15 is shown. This device was a thing using the design shown in drawing 10 and 11, gate footprint length was 0.09 micrometers and gate width was 25 micrometers. The electric result was obtained from the microwave s parameter data taken at 5-40GHz of frequency ranges under rated bias conditions. The effect of the parasitic element originating in the configuration of a microwave pad is removed by measuring an off pad configuration and subsequently removing the response of a actual device configuration from the total system response.

[0045] Drawing 14 shows forward current gain $|h_{21}|_2$ (data point 126) plotted to the frequency f in bias voltage $V_{ds}=-0.6V$ between the drain-sources, and the maximum unilateral gain (MUG) (data point 127). Drawing 15 shows forward current gain $|h_{21}|_2$ (data point 128) plotted to the frequency f in bias voltage $V_{ds}=-1.5V$ between the drain-sources, and the maximum unilateral gain (MUG) (data point 129). The unit current gain cut-off frequency f_T is obtained by extrapolating until $|h_{21}|_2$ become a unit to a frequency about $|h_{21}|_2$ by -20dB /, and decimal. The extrapolation to the frequency of the data point 126 showing $|h_{21}|_2$ of $V_{ds}=-0.6V$ is shown in the curve 130 drawn as the continuous line of drawing 14. The extrapolation to the frequency of the data point 128 showing $|h_{21}|_2$ of $V_{ds}=-1.5V$ is shown in the curve 131 drawn as the continuous line of drawing 15. Similarly, a maximum frequency of oscillation f_{max} is obtained by extrapolating the RF value of MUG by -20dB /, and decimal, until MUG becomes a unit. The extrapolation to the frequency of the data point 127 showing MUG of $V_{ds}=-0.6V$ is shown in the curve 122 of drawing 14. The extrapolation to the frequency of the data point 129 showing MUG of $V_{ds}=-1.5V$ is shown in the curve 133 of drawing 15. $f_T=46GHz$ and $f_{max}=116GHz$ are obtained from this extrapolation by $V_{ds}=-0.6V$ $f_T=48GHz$, $f_{max}=108GHz$, and $V_{ds}=-1.5V$. As far as artificers get to know, these f_{max} values are highest values acquired by p mold field-effect transistor until now. Especially the thing for which it exceeds 100GHz by low bias voltage $V_{ds}=-0.6V$ has impressive f_{max} . The low bias voltage from which the record high frequency engine performance and record they of these depletion mode field-effect transistor devices were obtained is as a result of [direct] a high mobility compound channel laminated structure, drawing 10, and a self-align T form gate device design given in 11.

[0046] As a conclusion, the following matters are indicated about the configuration of this invention.

[0047] (1) In the laminated structure which forms a p channel field-effect transistor The germanium molar fraction x by which epitaxial formation was carried out on the single crystal substrate and said substrate The 1st layer of relaxation $Si_{1-x}Ge_x$ of 0.35-0.5, The 2nd layer of $Si_{1-x}Ge_x$ by which epitaxial formation was carried out on said 1st layer, The 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], The 4th layer of $Si_{1-x}Ge_x$ which is not doped [by which epitaxial formation was carried out on said 3rd layer], On said 4th layer, epitaxial formation is carried out and a compressive strain is added by this. The 5th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 5th layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 6th layer of $Si_{1-w}Ge_w$ which the compressive strain joined by this, and the 7th layer of $Si_{1-x}Ge_x$ by which epitaxial formation was carried out on said 6th layer.

(2) A laminated structure given in the above (1) which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of $Si_{1-y}Ge_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(3) A laminated structure given in the above (1) which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 5th

- layer, and the epitaxial Si1-wGew channel of said 6th layer and compares with a monolayer channel device of having a higher compressive strain.
- (4) A laminated structure given in the above (1) formed in the temperature requirement said whose 5th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.
- (5) A laminated structure given in the above (1) to which the germanium content w in said 6th layer falls gradually toward the top face of said 6th layer from high germanium content relatively near said 5th layer.
- (6) A laminated structure given in the above (1) whose spacer field contains said 3rd layer of strain Si, and said 4th layer of relaxation Si1-xGex.
- (7) A laminated structure given [the tensile strain joins said 3rd layer, equivalent said 3rd layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] in the above (1).
- (8) Said 2nd layer is formed in the bottom of the channel field which consists of said 5th and 6th layers. It is the p form dope Si1-xGex layer separated from said channel field by said 3rd layer of Si, and said 4th layer of Si1-xGex. It is a laminated structure given in the above (1) whose dose of an activity donor 1-20nm of thickness of said 2nd layer is 4-5nm preferably, and is $1-3 \times 10^{12} \text{cm}^{-2}$ electrically [said 2nd layer].
- (9) In the laminated structure which forms a p channel field-effect transistor The germanium molar fraction x by which epitaxial formation was carried out on the single crystal substrate and said substrate The 1st layer of relaxation Si1-xGex of 0.35-0.5, The 2nd layer of Si1-xGex by which epitaxial formation was carried out on said 1st layer, The 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], On said 3rd layer, epitaxial formation is carried out and a compressive strain is added by this. The 4th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 4th layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 5th layer of Si1-wGew which the compressive strain joined by this, and the 6th layer of Si1-xGex by which epitaxial formation was carried out on said 5th layer.
- (10) A laminated structure given in the above (9) which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of Si1-yGey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.
- (11) A laminated structure given in the above (9) which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 4th layer, and the epitaxial Si1-wGew channel of said 5th layer and compares with a monolayer channel device of having a higher compressive strain.
- (12) A laminated structure given in the above (9) formed in the temperature requirement said whose 4th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.
- (13) A laminated structure given in the above (9) to which the germanium content w in said 5th layer falls gradually toward the top face of said 5th layer from high germanium content relatively near said 4th layer.
- (14) A laminated structure given in the above (9) whose spacer field is the monolayer structure which consists of said 3rd layer of strain Si.
- (15) A laminated structure given [the tensile strain joins said 3rd layer, equivalent said 3rd layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] in the above (9).
- (16) A laminated structure given in the above (9) which thickness can adjust the 3rd layer of said Si, can replace in the relaxation Si1-xGex layer to which the thickness of a spacer can be changed according to it, and can optimize a supply dose as a function of the temperature of the range of 0.4-425K according to the application of a device by it.
- (17) A laminated structure given in the above (9) which is the p form dope Si1-xGex layer which

said 2nd layer was formed in the bottom of the channel field which consists of said 4th and 5th layers, and was separated from said channel field by said 3rd layer of Si.

(18) A laminated structure given in the above (16) which said supply layer of said 2nd layer is formed in the bottom of the channel field which consists of said 4th and 5th layers, and is separated from said channel field by said relaxation Si1-xGex layer.

(19) In the laminated structure which forms a p channel field-effect transistor The germanium molar fraction x by which epitaxial formation was carried out on the single crystal substrate and said substrate The 1st layer of relaxation Si1-xGex of 0.35-0.5, On said 1st layer, epitaxial formation is carried out and a compressive strain is added by this. The 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 2nd layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The 3rd layer of Si1-wGew which the compressive strain joined by this, the 4th layer of Si1-xGex which is not doped [by which epitaxial formation was carried out on said 3rd layer], The laminated structure containing the 5th layer of Si which is not doped [by which epitaxial formation was carried out on said 4th layer], and the 6th layer of Si1-xGex of p mold dope by which epitaxial formation was carried out on said 5th layer.

(20) A laminated structure given in the above (19) which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of Si1-yGey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(21) A laminated structure given in the above (19) which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 2nd layer, and the epitaxial Si1-wGew channel of said 3rd layer and compares with a monolayer channel device of having a higher compressive strain.

(22) A laminated structure given in the above (19) formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(23) A laminated structure given in the above (19) to which the germanium content w in said 3rd layer falls gradually toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

(24) A laminated structure given in the above (19) whose spacer field is a compound laminated structure containing said 5th layer of strain Si, and said 4th layer of relaxation Si1-xGex.

(25) A laminated structure given [the tensile strain joins said 5th layer, equivalent said 5th layer and thinner than the marginal thickness of this layer to an interface with said 2nd layer of said 1st layer] in the above (19).

(26) A laminated structure given in the above (19) which is the p form dope Si1-xGex layer separated from said channel field according to the compound spacer structure where said supply layer is formed on the channel field which consists of said 2nd and 3rd layers, and consists of said 5th layer of Si, and said 4th layer of Si1-xGex.

(27) In the laminated structure which forms a p channel field-effect transistor The germanium molar fraction x by which epitaxial formation was carried out on the single crystal substrate and said substrate The 1st layer of relaxation Si1-xGex of 0.35-0.5, On said 1st layer, epitaxial formation is carried out and a compressive strain is added by this. The 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, Epitaxial formation is carried out on said 2nd layer, and the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The laminated structure containing the 3rd layer of Si1-wGew which the compressive strain joined by this, the 4th layer of Si1-xGex which is not doped [by which epitaxial formation was carried out on said 3rd layer], and the 5th layer of Si1-xGex of p mold dope by which epitaxial formation was carried out on said 4th layer.

(28) A laminated structure given in the above (27) which z has the germanium molar fraction y of 0.01-0.1, and contains further the overshoot layer of Si1-yGey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(29) A laminated structure given in the above (27) which is the pad compound channel structure which produces a deep quantum well or a higher obstruction rather than it confines an electron hole in fitness more when an activity device field consists of the epitaxial germanium channel of said 2nd

layer, and the epitaxial Si1-wGew channel of said 3rd layer and compares with a monolayer channel device of having a higher compressive strain.

(30) A laminated structure given in the above (27) formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(31) A laminated structure given in the above (27) to which the germanium content w in said 3rd layer falls gradually toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

(32) A laminated structure given in the above (27) whose spacer field is the monolayer structure which consists of the relaxation Si1-xGex layer of said 4th layer.

(33) A laminated structure given in the above (27) which can replace the 4th layer of said Si1-xGex in an equivalent thin strain Si layer, and can make the spacer of a MODFET device thin by this.

(34) A laminated structure given in the above (27) which is the p form dope Si1-xGex layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by said 4th layer of Si1-xGex.

(35) A laminated structure given in the above (33) which is the p form dope Si1-xGex layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by the equivalent thin strain Si layer.

(36) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (1) The insulating region generated by removing said the 7th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the shot key gate electrode formed on said 7th layer, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

(37) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (9) The insulating region generated by removing said the 6th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the shot key gate electrode formed on said 6th layer, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

(38) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (1) The insulating region generated by removing said the 7th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 7th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

(39) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (9) The insulating region generated by removing said the 6th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 6th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

(40) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (19) The insulating region generated by removing said the 6th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 6th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

(41) In the field-effect transistor structure which changes from the laminated structure of a publication to the above (27) The insulating region generated by removing said the 5th thru/or 2nd layer selectively at least, Field-effect transistor structure which contains further the gate electrode on the gate dielectric formed on said 5th layer, and said gate dielectric, the source electrode located in said one gate electrode side, and the drain electrode located in said another gate electrode side.

In the laminated structure which forms an electric device on it (42) A single crystal substrate, The germanium molar fraction x by which epitaxial formation was carried out on said substrate is in the strain relief structure of the 1st layer of relaxation Si1-xGex of 0.35-0.5, and said 1st layer. By $y=x+z$ The laminated structure which z has the germanium molar fraction y of 0.01-0.1, and contains the overshoot layer of Si1-yGey thinner than the marginal thickness of this layer to the upper part of

said 1st layer, and the 2nd layer of Si_{1-x}Gex by which epitaxial formation was carried out on said 1st layer.

(43) The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation Si_{1-x}Gex of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which carries out epitaxial formation of the 2nd layer of Si_{1-x}Gex on said 1st layer, The phase which carries out epitaxial formation of the 3rd layer of Si which is not doped [by which epitaxial formation was carried out on said 2nd layer], The phase which carries out epitaxial formation of the 4th layer of non-doped Si_{1-x}Gex on said 3rd layer, The phase which a compressive strain is added by this on said 4th layer, and carries out epitaxial formation of the 5th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 5th layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 7th layer of Si_{1-x}Gex on the phase which carries out epitaxial formation of the 6th layer of Si_{1-w}Gew which the compressive strain joined by this, and said 6th layer.

(44) An approach given in the above (43) which z has the germanium molar fraction y of 0.01-0.1, and includes further the phase which forms the overshoot layer of Si_{1-y}Gey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(45) An approach given in the above (43) formed in the temperature requirement said whose 5th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(46) An approach given in the above (43) said whose phase which forms the 6th layer includes the phase in which the germanium content w in said 6th layer is gradually reduced toward the top face of said 6th layer from high germanium content relatively near said 5th layer.

(47) Said 2nd layer is formed in the bottom of the channel field which consists of said 5th and 6th layers. It is the p form dope Si_{1-x}Gex layer separated from said channel field by said 3rd layer of Si, and said 4th layer of Si_{1-x}Gex. It is an approach given in the above (43) whose dose of an activity donor 1-20nm of thickness of said 2nd layer is 4-5nm preferably, and is $1-3 \times 10^{12} \text{cm}^{-2}$ electrically [said 2nd layer].

(48) The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation Si_{1-x}Gex of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which carries out epitaxial formation of the 2nd layer of Si_{1-x}Gex on said 1st layer, The phase which carries out epitaxial formation of the 3rd layer of non-doped Si on said 2nd layer, The phase which a compressive strain is added by this on said 3rd layer, and carries out epitaxial formation of the 4th layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 4th layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 6th layer of Si_{1-x}Gex on the phase which carries out epitaxial formation of the 5th layer of Si_{1-w}Gew which the compressive strain joined by this, and said 5th layer.

(49) An approach given in the above (48) which z has the germanium molar fraction y of 0.01-0.1, and includes further the phase which forms the overshoot layer of Si_{1-y}Gey thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(50) An approach given in the above (48) formed in the temperature requirement said whose 4th layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(51) An approach given in the above (48) said whose phase which forms the 5th layer includes the phase in which the germanium content w in said 5th layer is gradually reduced toward the top face of said 5th layer from high germanium content relatively near said 4th layer.

(52) An approach given in the above (48) which thickness can adjust the 3rd layer of said Si, can replace in the relaxation Si_{1-x}Gex layer to which the thickness of a spacer can be changed according to it, and can optimize a supply dose as a function of the temperature of the range of 0.4-425K

according to the application of a device by it.

(53) An approach given in the above (48) which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 2nd layer was formed in the bottom of the channel field which consists of said 4th and 5th layers, and was separated from said channel field by said 3rd layer of Si.

(54) An approach given in the above (52) which said supply layer of said 2nd layer is formed in the bottom of the channel field which consists of said 4th and 5th layers, and is separated from said channel field by said relaxation $\text{Si}_{1-x}\text{Ge}_x$ layer.

(55) The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which a compressive strain is added by this on said 1st layer, and carries out epitaxial formation of the 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 2nd layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The phase which carries out epitaxial formation of the 3rd layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, The phase which carries out epitaxial formation of the 4th layer of non-doped $\text{Si}_{1-x}\text{Ge}_x$ on said 3rd layer, The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 6th layer of $\text{Si}_{1-x}\text{Ge}_x$ of p mold dope on the phase which carries out epitaxial formation of the 5th layer of non-doped Si on said 4th layer, and said 5th layer.

(56) An approach given in the above (55) which z has the germanium molar fraction y of 0.01-0.1, and includes further the phase which forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(57) An approach given in the above (55) formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(58) An approach given in the above (55) said whose phase which forms the 3rd layer includes the phase in which the germanium content w in said 3rd layer is gradually reduced toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

(59) An approach given in the above (55) which said supply layer of the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer of said 6th layer is formed on the channel field which consists of said 2nd and 3rd layers, and is separated from said channel field according to the compound spacer structure which consists of said 5th layer of Si, and said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

(60) The phase where the germanium molar fraction x carries out epitaxial formation of the 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 on the phase which chooses a single crystal substrate, and said substrate, The phase which a compressive strain is added by this on said 1st layer, and carries out epitaxial formation of the 2nd layer of germanium thinner than the marginal thickness of this layer to said 1st layer, On said 2nd layer, the germanium molar fraction w is $0.5 < 1.0$, $w-x > 0.2$. The phase which carries out epitaxial formation of the 3rd layer of $\text{Si}_{1-w}\text{Ge}_w$ which the compressive strain joined by this, The formation approach of a p channel field-effect transistor including the phase which carries out epitaxial formation of the 5th layer of $\text{Si}_{1-x}\text{Ge}_x$ of p mold dope on the phase which carries out epitaxial formation of the 4th layer of non-doped $\text{Si}_{1-x}\text{Ge}_x$ on said 3rd layer, and said 4th layer.

(61) An approach given in the above (60) which z has the germanium molar fraction y of 0.01-0.1, and includes further the phase which forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to said 1st layer by $y=x+z$ in the strain relief structure of said 1st layer.

(62) An approach given in the above (60) formed in the temperature requirement said whose 2nd layer is 275-350 degrees C to which three-dimension growth of germanium film which the problem of the granularity of an interface produces does not take place, but two-dimensional growth of germanium film takes place.

(63) An approach given in the above (60) said whose phase which forms the 3rd layer includes the phase in which the germanium content w in said 3rd layer is gradually reduced toward the top face of said 3rd layer from high germanium content relatively near said 2nd layer.

(64) An approach given in the above (60) which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by said 4th layer of $\text{Si}_{1-x}\text{Ge}_x$.

(65) An approach given in the above (60) which is the p form dope $\text{Si}_{1-x}\text{Ge}_x$ layer which said 5th layer was formed on the channel field which consists of said 2nd and 3rd layers, and was separated from said channel field by the equivalent thin strain Si layer.

(66) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (43) The phase which forms an insulating region by removing said the 7th thru/or 2nd layer selectively at least, How to include further the phase which forms a shot key gate electrode on said 7th layer, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

(67) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (48) The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a shot key gate electrode on said 6th layer, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

(68) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (43) The phase which forms an insulating region by removing said the 7th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 7th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

(69) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (48) The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 6th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

(70) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (55) The phase which forms an insulating region by removing said the 6th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 6th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

(71) In the formation approach of the field-effect transistor structure which changes from the approach of a publication to the above (60) The phase which forms an insulating region by removing said the 5th thru/or 2nd layer selectively at least, How to include further the phase which forms a gate dielectric on said 5th layer, the phase which forms a gate electrode on said gate dielectric, the phase which forms a source electrode in said one gate electrode side, and the phase which forms a drain electrode in said another gate electrode side.

The 1st layer of relaxation $\text{Si}_{1-x}\text{Ge}_x$ of 0.35-0.5 in the phase as for which the germanium molar fraction x carries out epitaxial formation on the phase which forms a single crystal substrate, and said substrate, and the strain relief structure of said 1st layer (72) By $y=x+z$ The formation approach of an electric device including the phase which forms the 2nd layer of $\text{Si}_{1-x}\text{Ge}_x$ on the phase which z has the germanium molar fraction y of 0.01-0.1, and forms the overshoot layer of $\text{Si}_{1-y}\text{Ge}_y$ thinner than the marginal thickness of this layer to the upper part of said 1st layer, and said 1st layer.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of a laminated structure showing 1 operation gestalt of this invention.

[Drawing 2] It is the transmission electron microscope (TEM) cross-section photograph of a fabrication sample in which the completion laminated structure of the operation gestalt of this invention shown in drawing 1 is shown.

[Drawing 3] It is the graph of the secondary ion mass analysis (SIMS) which shows germanium concentration to the depth of the fabrication sample structure shown in drawing 2 which shows desirable germanium presentation laminated structure of the operation gestalt of this invention.

[Drawing 4] It is the enlarged drawing of the upper part of drawing 3 which shows B of a modulation dope device field, and germanium concentration, and SIMS to a depth of about 1000A.

[Drawing 5] It is the X-ray rocking curve of the echo (004) from the fabrication relaxation laminated structure shown in drawing 2 .

[Drawing 6] It is the detailed TEM cross-section photograph of the up device field of the fabrication sample structure shown in drawing 2 in which the compound p channel modulation dope device structure of the operation gestalt of this invention is shown.

[Drawing 7] It is the detailed TEM cross-section photograph of the channel field of device structure in which existence of the stacking fault in an activity channel is shown and which extent of relaxation manufactured on the small buffer compared with the laminated structure of drawing 1 .

[Drawing 8] It is the graph which showed the measured value of the hole mobility to the temperature (kelvin (K)) in hole (Hall) measurement which compared behavior of the hole mobility of low quality p channel device structure including the stacking fault shown in the high quality p channel device structure shown in drawing 5 and drawing 6 .

[Drawing 9] It is the sectional view of a laminated structure showing the 2nd operation gestalt of this invention.

[Drawing 10] It is the top view of a field-effect transistor.

[Drawing 11] It is the sectional view which was taken along with the line 12-12 of drawing 10 and in which showing a compound p channel laminated structure.

[Drawing 12] It is the sectional view of the insulated-gate field-effect transistor on a compound p channel laminated structure.

[Drawing 13] They are some scanning electron microscope (SEM) photographs of the self-align MODFET finished product manufactured on the compound p channel laminated structure shown in drawing 11 and 12.

[Drawing 14] It is drawing which plotted the data point of the forward direction current gain to the frequency measured by $V_{ds}=-0.6V$ of MODFET which showed the part to drawing 13 , and fabrication p channel MODFET which has the same compound p channel laminated structure, and the maximum unilateral gain.

[Drawing 15] It is drawing which plotted the data point of the forward direction current gain to the frequency measured by $V_{ds}=-1.5V$ of MODFET which showed the part to drawing 13 , and fabrication p channel MODFET which has the same compound p channel laminated structure, and the maximum unilateral gain.

[Description of Notations]

10 Laminated Structure of Compound P Channel Modulation Dope SiGe Hetero Structure
11 Single Crystal Semiconductor Substrate
12 Buffer Layer
12A Si_{1-x}Ge_x layer
12B Si_{1-y}Ge_y overshoot layer
12C Si_{1-x}Ge_x' layer
13 P Mold Dope SiGe Supply Layer
14 Non-Doped Si Spacer Layer
15 Non-Doped SiGe Spacer Layer
16 Germanium Channel Layer
17 SiGe Channel Layer
18 SiGe Cap Layer
19 Interface
33 Compound Channel
42 Interface
43 Compound Channel
81 Dielectric Layer
104 Isolation Region
105 Activity Device Field
106 Insulating Material
107 Gate
108 Ti Layer
109 Mo Layer
110 Pt Layer
111 Au Layer
112 Footprint of Gate
113 Source Contact
114 Drain Contact
115 Overhang Part of Gate
120 Insulating Layer
121 Isolation Region
122 Gate
123 Source Contact
124 Drain Contact

[Translation done.]

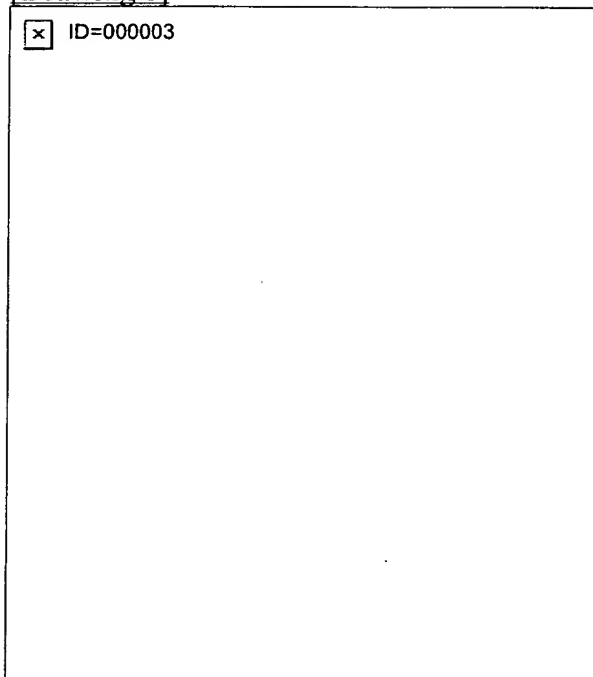
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

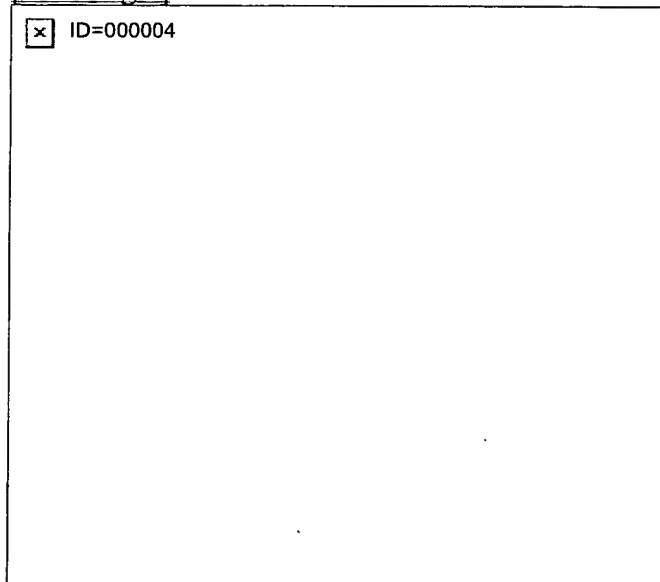
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

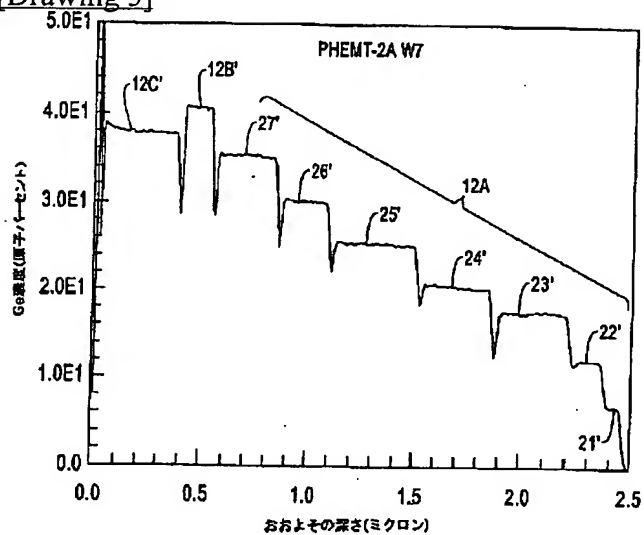
[Drawing 1]



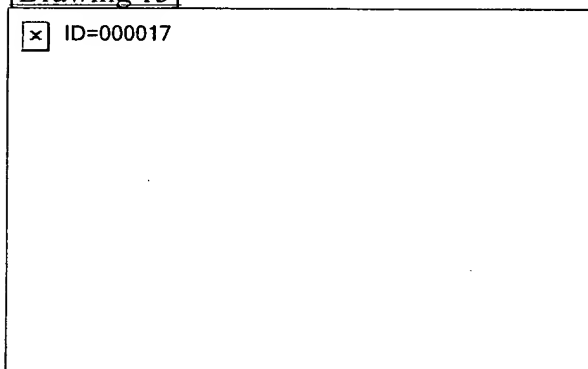
[Drawing 2]



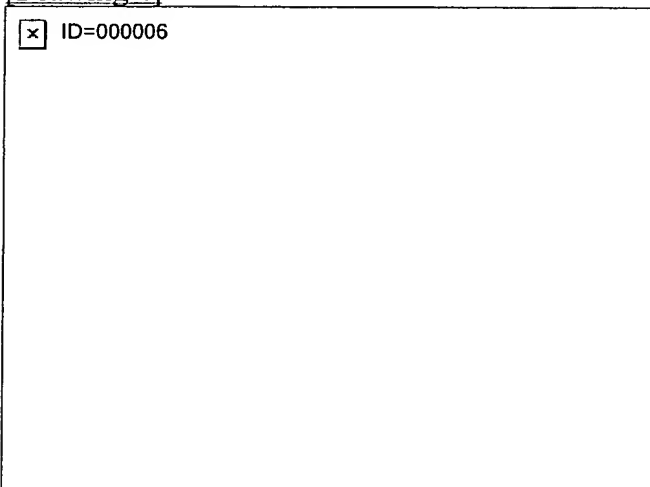
[Drawing 3]



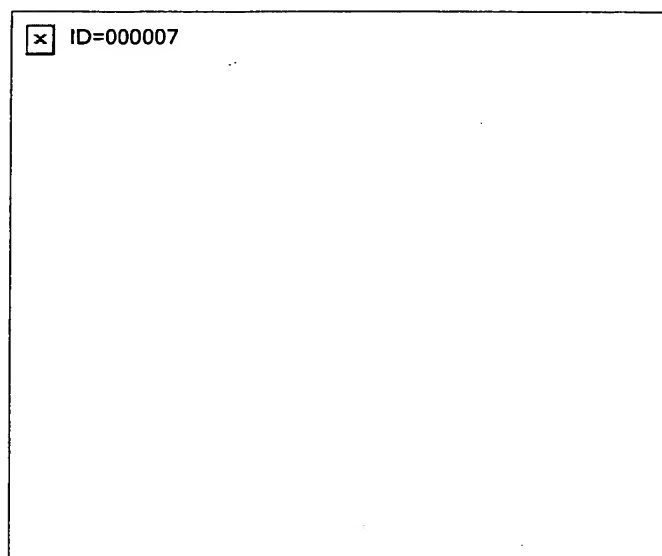
[Drawing 15]



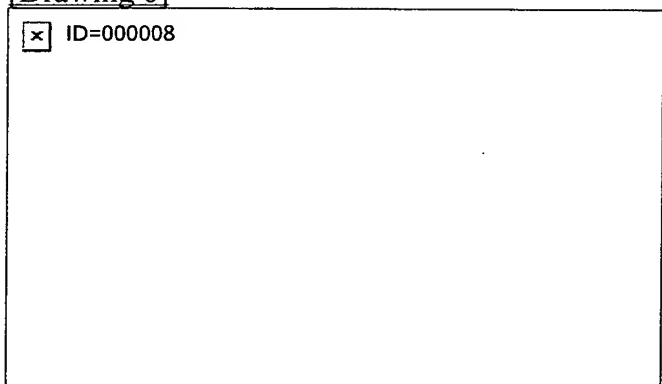
[Drawing 4]



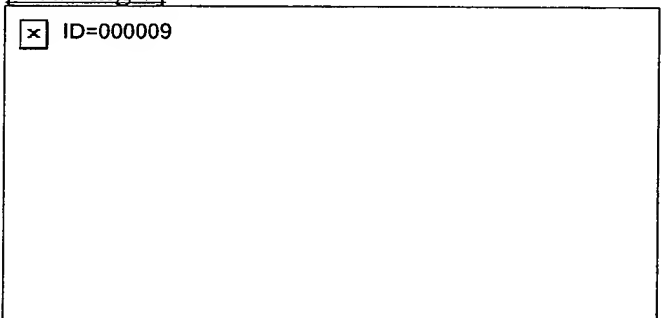
[Drawing 5]



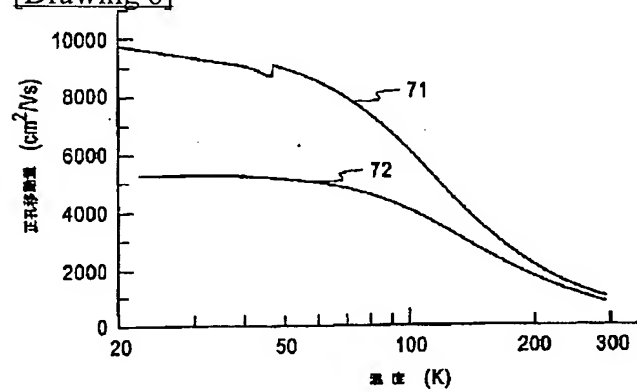
[Drawing 6]



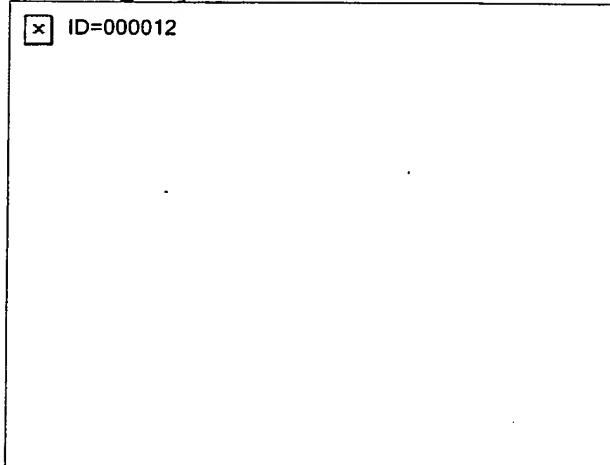
[Drawing 7]



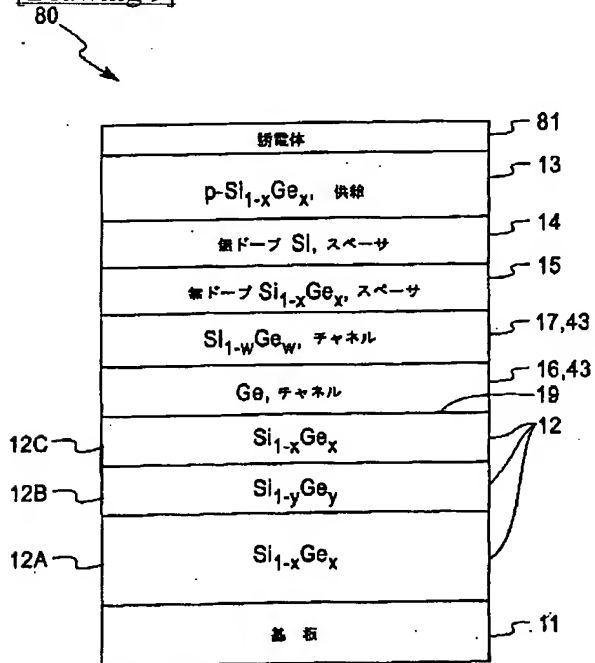
[Drawing 8]



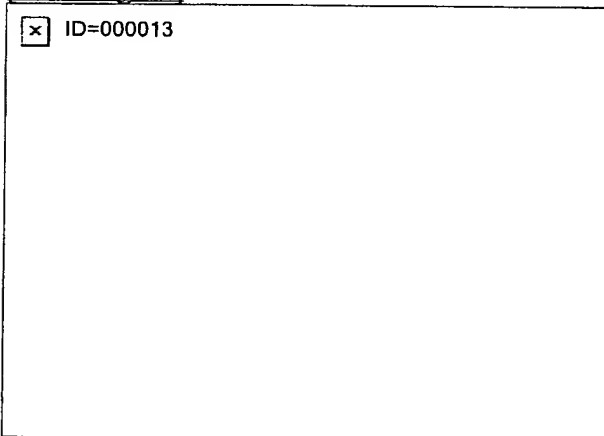
[Drawing 10]



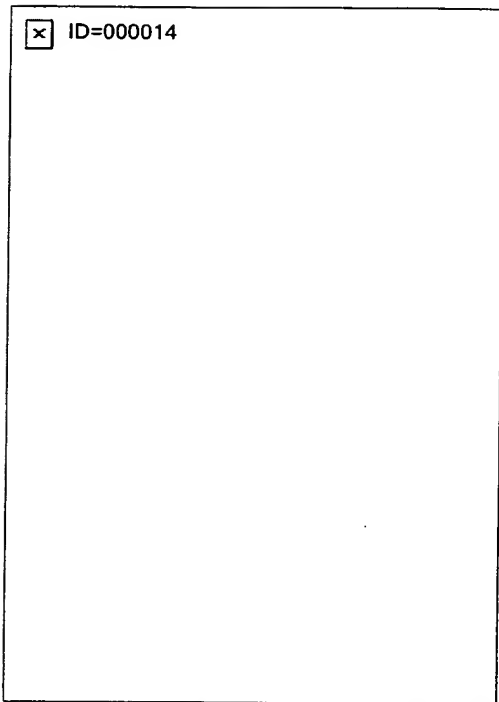
[Drawing 9]



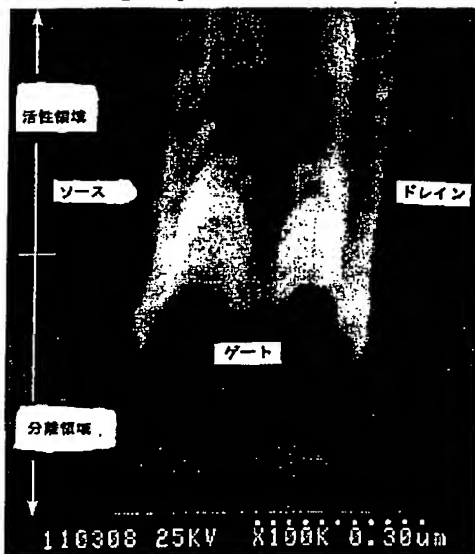
[Drawing 11]



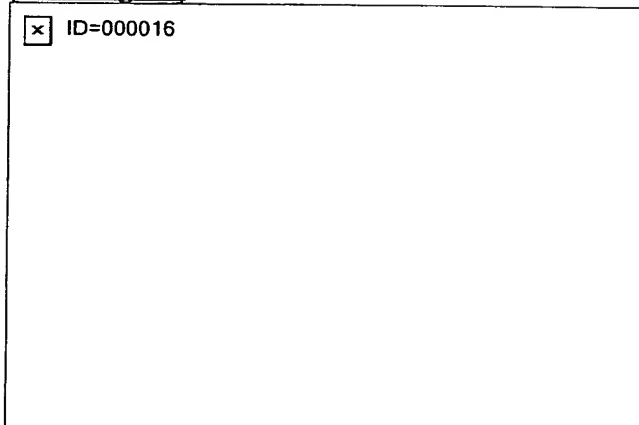
[Drawing 12]



[Drawing 13]



[Drawing 14]



[Translation done.]